

Cern · WO 97 / ~~56-65~~

S 3

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-510317

(43) 公表日 平成11年(1999)9月7日

(51) Int.Cl.<sup>6</sup>

H 01 L 27/10  
21/822  
27/04  
// C 23 C 14/06

識別記号

4 5 1

F I

H 01 L 27/10 4 5 1  
C 23 C 14/06 N  
H 01 L 27/04 R

審査請求 未請求 予備審査請求 有 (全 53 頁)

(21) 出願番号 特願平9-507656  
(86) (22) 出願日 平成8年(1996)7月19日  
(85) 翻訳文提出日 平成10年(1998)1月26日  
(86) 國際出願番号 PCT/US96/12013  
(87) 國際公開番号 WO97/05665  
(87) 國際公開日 平成9年(1997)2月13日  
(31) 優先権主張番号 08/506, 630  
(32) 優先日 1995年7月25日  
(33) 優先権主張國 米国(US)  
(81) 指定国 EP(AT, BE, CH, DE,  
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), AU, BR, CA, FI, JP, KR, MX, NO, RU, SG, UA

(71) 出願人 エナージー コンバージョン デバイセス  
インコーポレイテッド  
アメリカ合衆国 48084 ミシガン州 ト  
ロイ ダブリュー. メイプル ロード  
1675  
(72) 発明者 クラースィー、パトリック ジェイ.  
アメリカ合衆国 48360 ミシガン州 レ  
イクオリオン カミーラ 766  
(74) 代理人 弁理士 三好 秀和 (外1名)

最終頁に続く

(54) 【発明の名称】 電気的に消去可能で直接上書き可能な複数ビット単一セル記憶素子及びそれらで作製されるアレイ

(57) 【要約】

電気的に作動する記憶素子(30)は、電気的抵抗値の広い可変範囲、及びその材料の以前の抵抗値に関わりなく、選択された電気シグナルによって前記ダイナミックレンジ内のいかなる抵抗値にも設定されて複数ビット保存能力を有する单一セルを提供する能力を特徴とする特定体積の記憶材料(36)を具備する。また、記憶素子(30)は、1) 記憶材料(36)に隣接して堆積させた、外部物質を記憶材料(36)に侵入することを妨げる拡散障壁として用いられる薄膜層(34、38)、好ましくは窒化炭素チタン又は窒化ケイ素チタン、及び2) 記憶材料と隔てて堆積させた、アルミニウム電気移動、拡散に対する障壁を提供し、かつアルミニウム界面でのオーム接触を提供するために用いられる薄膜層(32、40)、好ましくはTi-W合金を含む一对のコンタクト(6、8)も具備する。

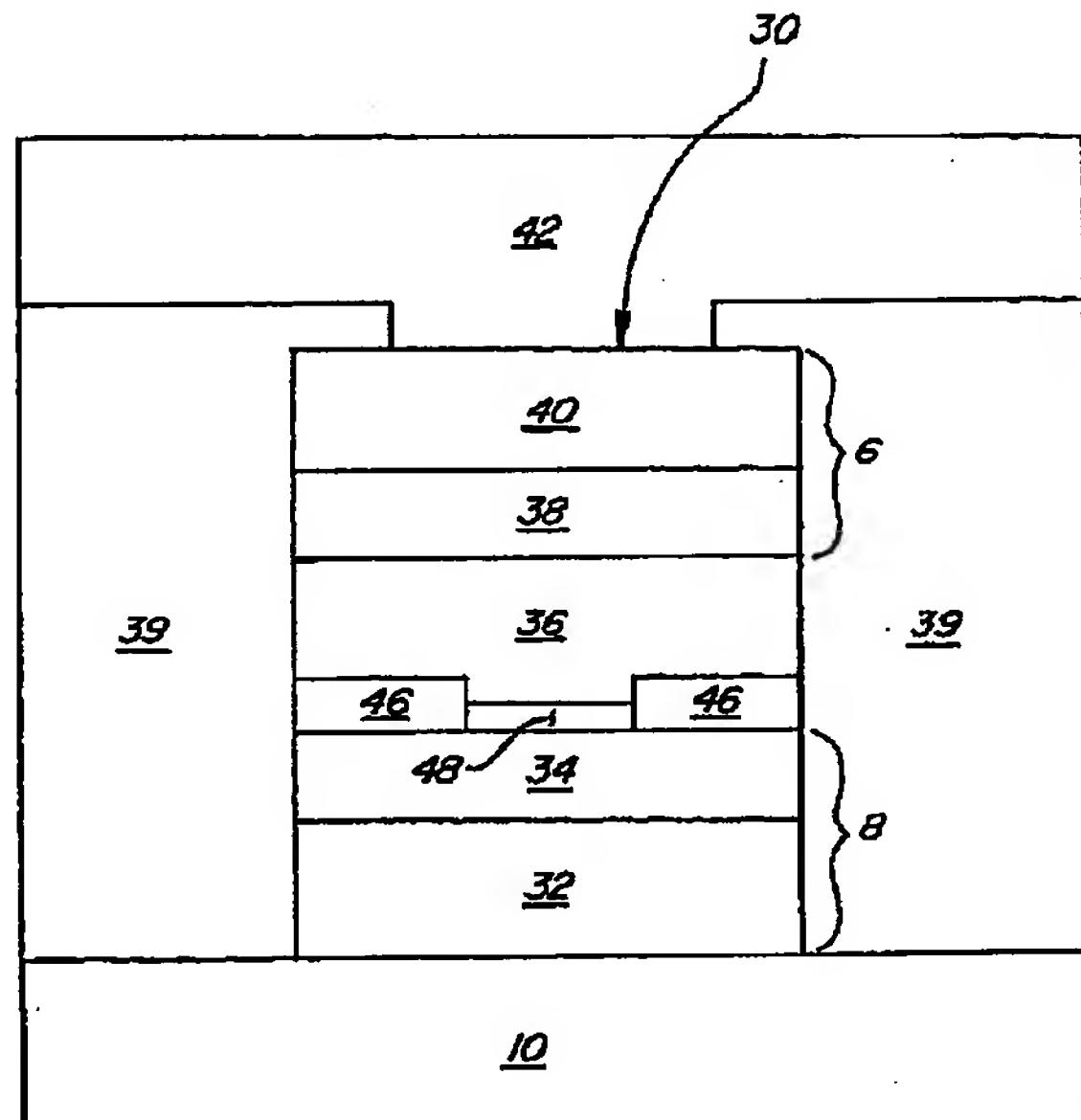


FIG - 1

## 【特許請求の範囲】

1. 電気的に動作し、直接上書き可能である、複数ビット、単一セル記憶素子であって、

(1) 電気抵抗値の広い可変範囲と、(2) 選択された電気入力信号に応答して、該記憶材料の少なくとも1つのフィラメント部を、該可変範囲内の複数の抵抗値のうちの1つに設定して、該単一セル記憶素子に複数ビット保存(multibit storage)能力を付与する能力と、(3) 該記憶材料の以前の抵抗値に関わりなく、該フィラメント部が、該可変範囲内の任意の抵抗値に設定され得る能力とを特徴とする特定体積の記憶材料と、

該記憶材料を該可変範囲内の選択された抵抗値に設定するために該電気入力信号を供給する、間隔をおいて配置された一対のコンタクトとを具備する前記記憶素子であって、

ここにおいて改良が、間隔をおいて配置された前記コンタクトの各々が、該記憶材料に隣接して堆積させた薄膜コンタクト層を有することからなり、

ここにおいて、隣接して堆積させた前記薄膜コンタクト層の少なくとも1つが、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W及びそれらの混合物もしくは合金からなる群より選択される1種もしくはそれ以上の元素を、B、C、N、O、Al、Si、P、S及びそれらの混合物もしくは合金から選択される2種もしくはそれ以

上の元素と組み合わせて含む、前記単一セル記憶素子。

2. 隣接して堆積させた前記薄膜コンタクト層が、Tiと、C、N、Al、Si及びそれらの混合物もしくは合金からなる群より選択される2種もしくはそれ以上の元素とを含む、請求の範囲1に記載の記憶素子。

3. 隣接して堆積させた前記薄膜コンタクト層が、Ti、C及びNを含む、請求の範囲2に記載の記憶素子。

4. 隣接して堆積させた前記薄膜コンタクト層の前記元素が、原子パーセントで、チタン約10ないし60%、炭素5ないし50%、窒素10ないし60%で存在する、請求の範囲3に記載の記憶素子。

5. 隣接して堆積させた前記薄膜コンタクト層が、40%までの水素を含む、請求の範囲4に記載の記憶素子。

6. 隣接して堆積させた前記薄膜コンタクト層が、Ti、Si及びNを含む、請求の範囲2に記載の記憶素子。

7. 隣接して堆積させた前記薄膜コンタクト層の前記元素が、原子パーセントで、チタン約10ないし60%、ケイ素5ないし50%、窒素10ないし60%で存在する、請求の範囲6に記載の記憶素子。

8. 隣接して堆積させた前記薄膜コンタクト層の厚みが、約100Åないし2000Åである、請求の範囲1に記載の記憶素子。

9. 隣接して堆積させた前記薄膜コンタクト層の厚みが、約200Åないし1000Åである、請求の範囲8に記載の記憶素子。

10. 前記改良がさらに、間隔を置いて配置された前記コンタクトの各々が、前記記憶材料から隔てて堆積させた1つの薄膜コンタクト層を有することを含し、

ここにおいて、該遠隔薄膜コンタクト層が、Ti、W、Mo及びそれらの混合物もしくは合金からなる群より選択される1種もしくはそれ以上の元素から構成される、請求の範囲1に記載の記憶素子。

11. 隣接して堆積させた前記薄膜コンタクト層が、Ti及びWを含む、請求の範囲10に記載の記憶素子。

12. 隣接して堆積させた前記薄膜コンタクト層が、原子パーセントで、約5%ないし30%のチタンと、70ないし95%のタンゲステンとを含んでなる、請求の範囲11に記載の記憶素子。

13. 前記遠隔薄膜コンタクト層の厚みが、約100Åないし4000Åである、請求の範囲12に記載の記憶素子。

14. 前記遠隔薄膜コンタクト層の厚みが、約200Åないし2000Åである、請求の範囲13に記載の記憶素子。

15. フィラメント部制御手段が、前記特定体積の記憶材料と間隔をおいて配

置された前記コンタクトの少なくとも一方との間に配置され、

該手段は、前記記憶素子の電気的形成の間、前記フィラメント部のサイズ及び位置を決定し、かつ、前記記憶素子が用いられる間、前記サイズを制限して前記フィラメント部の位置を限定して、

それにより、非常に弱い総電流の電気信号が前記間隔を置いて配置されたコンタクトに入力された際、前記単一セル記憶素子の前記フィラメント部内に高い電流密度を供給するよう成し、

ここにおいて、該フィラメント部制御手段は窒化ケイ素の層からなる、請求の範囲1に記載の記憶素子。

16. 前記フィラメント部制御手段が、間隔を置いて配置された前記コンタクトの一方と特定体積の前記記憶材料との間に堆積させた窒化ケイ素の薄膜層からなり、

該薄膜層は約100Å未満の厚みである、請求の範囲15に記載の記憶素子。

17. 前記フィラメント部制御手段が、10Åないし100Åの厚みの窒化ケイ素の薄膜層から成る、請求の範囲16に記載の記憶素子。

18. 前記窒化ケイ素の薄膜層がそれを横切る少なくとも1つの低抵抗経路を有していて、間隔を置いて配置された前記コンタクトと特定体積の前記記憶材料との間で、前記経路を通して電気入力信号がやり取りされる、請求の範囲16に記載の記憶素子。

19. 前記窒化ケイ素の薄膜層がSi、N及びHからなる、請求の範囲17に記載の記憶素子。

20. 前記フィラメント部制御手段が、原子パーセントで、約30～40%のケイ素、40～50%の窒素、30%までの水素及び残部の不純物から形成される薄膜層から成る、請求の範囲19に記載の記憶素子。

### 【発明の詳細な説明】

電気的に消去可能で直接上書き可能な複数ビット単一セル記憶素子及びそれらで作製されるアレイ

#### 関連出願情報

本願は1995年3月19日出願の米国出願08/423, 484号の一部継続であり、この米国出願08/423, 484号は1991年11月7日出願の米国出願07/789, 234号、現在の米国特許5, 414, 271号の一部継続であり、この米国出願07/789, 234号は1991年9月30日出願の米国出願07/768, 139号、現在の米国特許5, 335, 219号の一部継続及び1991年8月19日出願の米国出願07/747, 053号、現在の米国特許5, 296, 716号の一部継続であり、これらの米国出願07/768, 139号及び米国出願07/747, 053号は各々1991年1月18日出願の米国出願07/642, 984号、現在の米国特許5, 166, 758号の一部継続である。

#### 発明の分野

本発明は、一般には、独自に設計された固体状の、電気的かつ光学的に作動する、直接上書き可能な、低エネ

ルギーの、スイッチングが非常に高速な、非揮発性の、アナログ及び多重レベル単一セル作動記憶素子、並びにこれらの素子で作製される高密度電気的記憶アレイに関する。より具体的には、本発明は、記憶素子に不可欠な部分であるコンタクト層の新規化学組成に関する。

#### 背景及び従来技術

オボニック(Ovonic)EEPROMは、新規の、所有権が主張されている、高性能の不揮発性薄膜電子記憶装置である。その利点には、不揮発性のデータの記憶、高ビット密度の可能性、並びに、その結果としての、その小さなフットプリント及び簡潔な2端子装置形状、長期にわたる再プログラミングサイクル有効期間、低プログラミングエネルギー及び高速度による低コストが含まれる。オボニックEEPROMの情報記憶はアナログ及びデジタルのいずれの形態でも可能であ

る。デジタル記憶はバイナリ（記憶セル当たり1ビット）又はマルチステート（セル当たり複数ビット）のいずれであってもよい。この2つのデジタルモードを切り換えるには僅かな変更を必要とするだけである。本発明の目的のためには“記憶素子(memory elements)”と“制御素子(control elements)”とは同義語として用いる。

#### 初期の電気相変化メモリ

電気的に書き込み及び消去が可能な相変化材料（すな

わち、一般的な非晶質状態と一般的な結晶状態とを電気的に切り換えることが可能な材料）を電子的記憶用途に利用する一般的な概念は、例えば、1966年9月6日発行のOvshinskyの米国特許3,271,591号及び1970年9月22日発行のOvshinskyの米国特許3,530,441号に開示されるように、当該技術分野において公知である。これらの特許は両者とも本発明と同じ譲受人に譲渡されており、両者の開示は参考することによりここに組込まれる（以下では“Ovshinsky特許”と呼ぶ）。

これらのOvshinsky特許に開示されるように、このような相変化材料は、一般的な非晶質性の局部的秩序及び一般的な結晶性の局部的秩序の構造的状態の間で、又は完全な非晶質状態と完全な結晶状態とにわたる全スペクトルを横切る異なる検出可能な局部的秩序の状態の間で電気的に切り換えることが可能である。すなわち、Ovshinsky特許は、そのような材料の電気的な切り換えが完全な非晶質状態と完全な結晶状態との間で生じる必要はなく、むしろ、局部的秩序の変化を反映して完全な非晶質状態と完全な結晶状態との間のスペクトル全体にわたる局部的秩序の状態の多様性によって表される“グレースケール(gray scale)”を生じる漸増刻みであり得ることを説明している。Ovshinsky特許によって説明される初期材料は、所望であれば、正確に一般的な非晶質性の局部的秩序と一般的な結晶性の局

部的秩序との2つの構造的状態の間で切り換えて符号化されたバイナリ情報の单一ビットを記憶及び回復することも可能である。

典型的なパーソナルコンピュータにおいては、記憶装置にはしばしば4つの階層が存在する。アーカイバル情報は、磁気テープ及びフロッピーディスクのような安価で、遅く、記憶容量の高い不揮発性装置に保存される。この情報は、必要に応じて、より高速でより高価な、しかしながら依然として不揮発性であるハードディスク記憶装置に転送される。ハードディスクからの情報は、次に、さらに高価で、高速の、半導体ダイナミックRAM (DRAM) 装置を使用する揮発性システム記憶装置に転送される。非常に高速のコンピュータでは、比較的遅いDRAMからデータを取り込むのに要する時間によってマイクロプロセッサの速度が低下しないように、DRAMに保存される情報の小部分をより高速でより高価な揮発性スタティックRAM (SRAM) 装置に出し入れされることさえ行われる。

この記憶装置の階層の間での情報の転送はコンピュータの力の幾らかを奪い、この“オーバーヘッド”的必要性は性能を低下させ、そのコンピュータの構成をさらに複雑にする。しかしながら、現在のこの階層構造の使用は、利用可能な記憶装置の価格と性能及びコストを最小にとどめながらコンピュータの性能を最適化する必要性によって決定されるものである。

#### O v s h i n s k y 特許に説明される電気的に消去可能な相変化記憶装置

能な相変化記憶装置には、引き続く電気的固体状態記憶装置と同様に、テープ、フロッピーディスク、磁気もしくは光学ハードディスク、ソリッドステートディスクフラッシュ、DRAM、SRAM及びソケットフラッシュメモリのような現在のコンピュータ記憶装置用途の直接かつ不変的な代替物としてそれらを幅広く使用することの妨げとなる幾つかの制限がある。具体的には、以下のものがこれらの制限の最も重要なものの代表である： (i) 特に局部的秩序がより大きい方向（結晶化が増大する方向）に切り換える場合の（現在の標準を基準として）比較的遅い電気的スイッチング速度； (ii) 局部的秩序に検出可能な変化を起こすのに必要とされる比較的高い入力エネルギーの必要性；及び (iii) （特に現在のハードディスクドライブメディアと比較しての）記憶情報のメガバイト当たりの比較的高いコスト。

これらの制限のうち最も重要なものは、局部的秩序に検出可能な変化を起こす

ため、カルコゲナイト材料の化学的及び／又は電気的結合形態に検出可能な変化を得るのに必要な比較的高いエネルギー入力である。Ovshinsky特許に説明される電気的記憶材料のスイッチング時間も同様に重要であった。これらの材料は、典型的には、セット時間（その材料を非晶質状態から結晶状態に切り換えるのに要する時間）に数ミリ秒の範囲の時間；及びリセット時間（その材料を結晶状態から非晶質状態に戻すのに要する時間）に約1マイクロ秒を要する。

これらの材料を切り換えるのに要する電気エネルギーは、典型的には、ほぼ1マイクロジュールの範囲内である。

このエネルギー量は記憶素子の固体状態の行列マトリックスにおける記憶素子の各々に分配されなければならないことに注意すべきである。このような高エネルギーレベルは、個別の記憶素子の各々に関連付けられるアドレス・ライン及びセル分離／アドレス・デバイスに対する大電流搬送要求に転換される。これらのエネルギー要求を考慮すると、当該技術分野における熟練者にとって記憶セル分離素子の選択は非常に大きな单一のクリスタルダイオード又はトランジスタ分離装置に限られ、これは、ミクロン規模のリソグラフィの使用を、ひいては記憶素子の高充填密度を不可能にする。したがって、この材料から製造されたマトリックスアレイの低いビット密度が記憶情報のメガバイト当たりの高いコストを生み出す。

アーカイバル不揮発性大容量記憶装置と高速揮発性システム記憶装置との価格及び性能の差を効果的に狭めることにより、本発明の記憶素子は新規の非階層的な“万能記憶システム (universal memory system) ”を創出することを可能にする能力を有する。本質的に、このシステムにおける全ての記憶装置は低コストで、アーカイバルかつ高速であり得る。本来のOvshinsky型相変化電気的記憶装置と比較して、ここに説明される記憶材料は、長期間の安定性及びサイクル能力 (10兆(10 trillion)サイクル超) を示しながら、プログラミング

時間で6桁以上の高速性 (30ナノ秒未満) を提供し、かつ使用するプログラミングエネルギーは非常に低い (0.1ないし2ナノジュール未満)。また、実験

結果は、素子サイズのさらなる減少がスイッチング速度及びサイクルライフを増大し得ることを示す。

一般には、カルコゲナイト記憶材料の開発及び最適化は、現在実質的にスイッチング時間が高速であり、かつセット及びリセットエネルギーが実質的に低い他の型の固体状態電気的記憶装置と同じ速度では進行していない。これらの他の形態の記憶装置は、典型的には、幾つかの記憶用途において各記憶ビット当たり1つもしくは2つの固体状態マイクロエレクトロニック回路素子（ビット当たり3つもしくは4つものトランジスタ）を用いる。このような固体状態記憶装置におけるEEPROMのような主要“不揮発性”記憶素子は、典型的には、フローティングゲート電界効果トランジスタ装置である。これは、再プログラム可能性が制限され、各記憶ビットを保存するため電界効果トランジスタのゲートに対する変更を保持する。この電荷は時間の経過と共に漏出し得るため、情報がその素子が製造されるカルコゲナイト材料の実際の原子配置又は電子的構造の変化によって保存される従来技術の相変化媒体では、情報の保存は本当の非揮発性ではない。これらの他の形態の記憶装置が現在市場で受け入れられている。

#### D R A M 及び S R A M 、揮発性記憶装置、及びフロ-

ティングゲート構造のような他の“フラッシュ(flash)”装置と対照的に、本発明の電気的記憶装置においては電界効果トランジスタ装置は必要ではない。実際、本発明の電気的に消去可能で直接上書き可能な記憶素子は製造するに当り最も単純な電気的記憶装置であり、薄膜カルコゲナイト材料のモノリス体(monolithic body)及び分離のための半導体ダイオードに対するただ2つの電気的接触のみを具備する。その結果、情報の1ビットを保存するために必要なチップの“土地(real estate)”は非常に小さく、それにより本質的に高密度の記憶チップが得られる。さらに、以下に説明されるように、個別の記憶セルの各々における複数ビット保存を用いることにより情報密度をさらに高めることができる。

現在用いられている固体状態の電気的記憶装置は製造に比較的費用がかかり、そのコストは、典型的には、磁気ディスク保存における記憶容量のビット当たりのコストの約80倍である。他方、これらの固体状態の電気的記憶装置には磁気デ

ィスク記憶装置を上回る特定の利点があり、可動部がなく、作動に要する電気エネルギーが少なく、転送及び保存が容易であり、かつポータブルコンピュータ及び他のポータブル電子装置での使用に関してより融通が利き、適応可能である。実際には、ハードドライブの製造者は、ポータブルコンピュータ分野におけるより小さなハードドライブ、そして結局は固体状態記憶装置の使用の急速な成長を予測している。加えて、こ

れらの固体状態記憶装置は、所望の記憶位置にアクセスするための適正なデータ追跡を行うのにディスクヘッドの物理的な移動を要するディスクタイプとは対照的に、通常真のランダムアクセスシステムである。しかしながら、このような利点にもかかわらず、固体状態の電気的に消去可能な記憶装置の高コストがそれらが現在磁気記憶システムによって支配されている市場の実質的なシェアを占めることを妨げている。固体状態の電気的に消去可能な記憶装置は潜在的により少ないコストで製造することが可能ではあるが、これらの装置の全体的な価格対性能比はそれらにとては磁気ディスクシステムを完全に置き換えるには不十分である。

近年開発された記憶装置は金属-非晶質シリコン-金属（MSM）電気的記憶スイッチである。Roseら、“Amorphous Silicon Analog Memory Devices”, Journal of Non-Crystalline Solids, 115 (1989), pp. 168-70及びJajtoら、“Quantized Electron Transport in Amorphous-Silicon Memory Structures”, Physical Review Letters, 第66巻、第14号、1991年4月8日、pp. 1918-21を参照のこと。このMSMスイッチは明確に選択された金属コンタクトをp型非晶質シリコン(a-S

i) 薄膜のいずれかの側面に堆積させることにより製造される。金属コンタクト材料の選択の重要性は後に論じる。MSM記憶スイッチは、1-5ボルトの電圧

パルスに対して比較的高速（10—100 ns）のアナログスイッチング挙動を示し、それにより非揮発性の様式でそれらを設定することが可能な約 $10^3$ ないし約 $10^6$ オームの範囲の抵抗が得られるものとして開示されている。当該技術分野における熟練従事者には容易に明らかであるはずであるが、Rossel及びHajtoらのMSM記憶スイッチは本発明の記憶素子の電気的スイッチング特性に類似する電気的スイッチング特性（すなわち、時間、エネルギー及び得られる装置抵抗）を示すものの、これらの間には実際には大きな作動上の相違が存在する。

電気的スイッチングの最も大きな相違は、MSM記憶スイッチが直接上書きできないことにある。すなわち、MSMスイッチは、最初に消去する（指定された出発抵抗、すなわち“出発状態”に設定する）ことなく抵抗値のアナログレンジにおける一方の抵抗値からそのレンジのいかなる抵抗値へも直接双方向に調整することはできない。より具体的には、MSMスイッチは最初に高抵抗状態（消去済み）に設定しなければ、そのアナログレンジ内の別の抵抗値に設定することはできない。これとは対照的に、本発明の記憶素子はそのレンジの別の抵抗値に設定する前に消去する必要がない。すなわち、それらは直接上書きされる。

Rossel及びHajtoらのMSM記憶スイッチと本発明の電気的記憶素子との間に存在する電気的スイッチング特性の別の大きな相違は、MSMスイッチの両極性挙動である。Rosselによって開示されるように、MSMスイッチは、書き込みに用いられるパルスからの逆極性の電気パルスを用いて消去しなければならない。この印加されるパルスの極性の逆転は、本発明の記憶素子には、それがデジタルスイッチングに用いられようとアナログスイッチングに用いられようとは必要ではない。

これらのMSMスイッチと本発明の記憶素子との電気的スイッチング特性の相違は、単にこれらの素子を構築する材料の相違に起因するにとどまらない。これらの相違は、これらの2つの装置の作動の物理学的挙動を特徴付けるスイッチング機構の根本的な相違を示す。上でほのめかされ、前述の論文に開示されるように、MSM記憶スイッチの電気的スイッチング特性は、そのコンタクトが製造さ

れる特定の金属（1種もしくは複数）に決定的に依存する。これは、これらのMSMスイッチが、少なくとも1つのコンタクトからの金属がスイッチ本体に移送されてその統合部分として形成される非常に活動的な“形成”プロセスを必要とするためである。このプロセスにおいて、複数の（Rossらの論文の図1から少なくとも15）の漸増する300ナノ秒、5-15ボルトのパルスがスイッチの形成に用いられる。Rossらは次のように述べている：“...この装置のX線微小

分析研究を行い、頂部電極材料がa-Siのフィラメント状領域に埋め込まれていることが見出されている。これは、頂部金属がフィラメント内に分配され、スイッチングの機構において役割を果たす可能性があることを示唆する...”また、Rossらは、利用可能な抵抗値の可変範囲(dynamic range)がその上部電極コンタクトが製造される金属によって決定されることも明確に見出している。Rossらが述べるように、その値は完全に頂部コンタクトに依存し、かつ底部の金属被覆(metallisation)とは完全に無関係であり、すなわち、底部電極に関わらずCr頂部電極装置は常にデジタルであり、V頂部電極装置は常にアナログであることが見出されている。電気的なスイッチングが生じるのはこの金属フィラメント状領域内であり、このa-Siへの金属の質量移動なくしてはスイッチングは生じない。Hajtoらの論文を参照のこと。それらとは完全に対照区別して、本発明の記憶素子は、高速、低エネルギー、アナログ、直接上書き、記憶スイッチングを達成するのに薄膜記憶素子へのコンタクト材料の移動を必要としない。実際には、本発明の記憶素子の製造においては、その電極のいずれかから活性カルコゲニド材料への金属の拡散を防止するのに大きな注意が払われる。

Rossら及びHajtoらの前述の分析から、いかに想像をめぐらせたとしても、MSM記憶スイッチが自由電荷濃度のモジュレータとして適格ではないことは明

らかであるはずである。むしろMSM記憶スイッチは、調製されたスイッチが電流の流れを制御するのに用いられるのとほとんど同じ方法で抵抗率の範囲を得る

ため、単純に、非晶質シリコン材料を通過するフィラメント状金属の経路の創出に依存する。伝播経路が確立され、その直径はそれらの抵抗値を変化させるために増大又は減少させることが可能である。フェルミ水準位の移動はこのスイッチングプロセスには関与しない。この作動を説明するのに半導体材料の活性の変化を引き合いに出す必要はない。孤立非結合電子対の原子規模の移動は存在しない。結晶サイズ及びそれらの表面対容量比は重要ではない。しかしながら、最も重要なことは、Roseら及びHajtoらにとっては彼らの記憶材料のセルに保存されている情報を直接上書きすることができないということである。MSMスイッチでは、新しい情報を書き込み可能とするには保存された情報を消去することが求められる。本発明の記憶素子が試験の終了前に失敗することなく10兆サイクルを上回ってサイクルを繰り返したのに対して、彼らのMSMスイッチが100万サイクルに制限されるとRoseらが断言していることは驚くことではない。

簡単に述べると、本発明以前に開発された固体状態記憶システムには、それが製造されている材料に関わらず、安価で、容易に製造可能で、不揮発性で、低入力エネルギーを用いて電気的に書き込み可能かつ直接消去可能（

上書き可能）で、（グレースケールを有する）单一セルにおける複数ビット保存が可能であり、かつ非常に高い充填密度が可能であるものはない。以下に説明される記憶システムは、それが既知の記憶システムの全ての欠点に取り組むため、現在市場に存在する事実上全ての型のコンピュータ記憶装置の万能的な代替物としての広範囲の用途を直ちに見出すであろう。さらに、本発明の記憶装置は全ての薄膜形式で製造することができるため、高速、高密度神経網、及び人工知能用途のための三次元アレイが可能である。したがって、本発明の記憶システムは、その多層、三次元アレイが提供する情報保存が大量で、迅速にアドレスすることが可能であり、その結果保存された情報から学習することが可能となることから、神経網及び人工知能システムに比類なく適用することができる。

上述の論考から、本発明の記憶装置のスイッチング速度及びエネルギー要求の量的な変化が、従来技術の相変化記憶装置と比較した場合、それらの記憶装置が

調節可能な半導体材料の全く新しい種類を定義することを示すことは明らかである。加えて、従来技術には、本発明の記憶素子の直接上書き、広い可変範囲(dynamic range)及び複数ビット保存能力(multibit storage capability)に類似するものはない。

通常の熟練技術者には当然明白であるはずであるが、フラッシュEEPROM市場に取り組み、万能的な記憶

装置として真剣に考慮されるためには、記憶素子が真に不揮発性であることが不可欠である。これは、その記憶素子が複数ビット保存能力を有することが謳われている場合にはより重要である。設定抵抗値が失われ、又は時間の経過と共に大きく変化することが見出されただけでもそこに保存される情報は破壊され、ユーザはその記憶装置のアーカイバル能力に対する信頼を無くし、その技術は全ての信用を失う。

設定抵抗値の安定性に加えて、万能的な記憶装置に要求される別の重要な要素は低スイッチング電流である。これは、EEPROMが大規模アーカイバル保存(large scale archival storage)に用いられる場合非常に重要である。この様式で用いられた場合、EEPROMは現在のコンピュータシステムの(磁気もしくは光学ハードドライブのような)機械式ハードドライブに取って代わる。この通常の機械式ハードドライブのEEPROM“ハードドライブ”での置き換えの主な理由の1つは、機械的なシステムの比較的大きな電力消費の低減である。ラップトップコンピュータの場合機械式ハードディスクドライブがそこで最も電力を消費するものの1つであるため、これは特に関心の高いものである。したがって、この電力負荷を低減し、それにより電池の充電当たりのコンピュータの使用時間を実質的に増やすことには特に利点がある。しかしながら、機械式ハードドライブに取って代わるEEPROMのスイッチングエネルギー要求が

高い(したがって、電力要求が高い)場合には、電力の節約は筋の通らないものとなり、あるいはせいぜい非現実的なものとなる可能性がある。したがって、万能的な記憶装置と目されるEEPROMは低スイッチングエネルギーを必要とす

る。

E E P R O M万能記憶装置のさらに別の要件は、そこに保存される情報の高い熱安定性である。今日のコンピュータ、特にパーソナルコンピュータは、日常的に高温に晒される。これらの高温は、電源又は他の熱生成内部部品からのような内部で発生した熱によって生じことがある。また、これらの高温は、熱性気候におけるコンピュータの使用又は直接もしくは間接的に正常温度よりも高温に加熱する環境におけるコンピュータの保管のような環境的要素によって引き起こされることがある。温度上昇の原因がなんであろうと、現在のコンピュータの記憶システム、特に“ハード”又はアーカイバル記憶装置は比較的高温であっても熱的に安定でなければならない。この熱安定性がなければデータの損失が生じ、それが前述の信用の喪失につながる可能性がある。

E E P R O M万能記憶装置のさらに別の要件は長期間の書き込み／消去サイクルライフである。E E P R O Mでは、全てのアーカイバル記憶装置の場合と同様に、サイクルライフは消費者の信用と支持において重要な役割を果たす。記憶装置のサイクルライフが短すぎる場合、消費者は貴重なデータを失うことを恐れてこの装置を使

用することを敬遠するであろう。E E P R O Mがコンピュータの主記憶装置又は表示記憶装置の代替物として、すなわち、D R A M、S R A M又はV R A Mの代替物として用いられる場合、長期間のサイクルライフに対する要求はより決定的なものである。主及び表示記憶装置はコンピュータの最も頻繁に書き込み／消去されるデータ保存領域である。常に新しいコンピュータプログラムがロードされ、そのコンピュータの主記憶装置の一部は消去され、再書き込みされる。コンピュータプログラムが実行される間、そのコンピュータの主記憶装置の一部は絶えずサイクルが繰り返されている。コンピュータモニタの表示は常に変化し、表示記憶装置の一部はサイクルを繰り返す。コンピュータの主及び表示記憶装置の代わりに用いられるE E P R O Mに比較的長期の書き込み／消去サイクルライフがない場合、これらの記憶装置を頻繁に置き換える必要が生じる。これは消費者に過剰のコストを強いることになり、したがって、消費者の信用を失うことになる

。

本発明の設計及び製造において考慮を要する重要な事項はカルコゲナイト記憶材料への金属電極材料の拡散及び電気移動を防止することであることは前に述べた。前出のオボニック EEPROMの態様はカルコゲナイト記憶材料の頂部及び底部に隣接して堆積させた2つの炭素の薄膜層を有していた。この炭素によって果たされる重要な役割は、外部材料がカルコゲナイトに侵入するのを

妨げる拡散障壁としてのものである。良好な拡散障壁特性を有するものの、特定の半導体製造技術で材料として用いられた場合、炭素は残念なことに幾つかの問題を提示する。例えば、スパッタ堆積プロセスで炭素ターゲットを用いる場合、炭素粒子は装置及び機器汚染の源となる可能性がある。また、炭素が乾燥レジスト・ストリッププロセスを受ける半導体装置の一部である場合、露出した炭素層がフォトレジスト材料の除去に用いられるのと同じ酸素プラズマによって取り除かれる可能性があり、これがこのプロセスを不適切なものとする。このような問題のため、炭素は、半導体業界では装置製造のための良好な材料としては受け入れられていない。したがって、適正なオボニック EEPROM装置の作動に必要な特性を有しつつ、最新半導体加工技術により適合する適切な代替材料を見出す必要性が存在している。

#### 発明の要約

ここには、スイッチング電流に対する要求(switching current requirement)が低減し、かつそこに保存されるデータの熱安定性が高い、根本的に新規の固体状態、直接上書き可能、電子的、非揮発性、高密度、低成本の容易に製造可能な単一セル記憶素子(single cell memory elements)が開示される。これらの記憶素子は、著しく低減したエネルギーレベルで従来のカルコゲナイト記憶材料より数桁速い(orders of magnitude higher)ス

イッキング速度を示す比類のない種類のカルコゲナイト記憶材料を利用する。本発明の記憶素子及びアレイが形成されるこの新規記憶材料は、種々のパルス電流、電圧及び持続時間の電気入力信号によって、選択的かつ繰り返し確立できる局部

的原子(local atomic)及び／又は電子(electronic)秩序(order)の、安定で真に不揮発の、検出可能な配置、によってとりわけ特徴づけられる。したがって本発明の記憶装置は、少なくとも2つの安定な設定が得られるよう異なる局部的秩序(local order)の原子及び／又は電子配置の間で切り換えることが可能である。ここに開示される記憶素子によって可能になったスイッチング速度及びスイッチングエネルギーにおける数桁の改善(orders of magnitude of improvement)は単に増大したものではなく、むしろ従来可能であると考えられているものを上回る根本的な改善を示すものである。

ここに説明される記憶材料に対する理論は現在研究中であるが、これまで提唱されてきた理論はこの観測された驚くべき電気的スイッチング挙動を説明はしない。具体的には、主題の半導体材料は、多くの電気的に検出可能な状態の間を、ナノ秒の期間で、ピコジュールのエネルギーの入力を用いて切り換えることが可能である。この主題の記憶材料は、真に不揮発性であり、周期的なリフレッシュ信号を必要とすることなく、この記憶セルによって保存された情報の完全性を維持しながら、ほとんど無限にサイクルを繰り返すこと（書き込み及び再書き

込み）ができる。この主題の記憶材料は、直接上書きすることが可能であり、（フェロエレクトリック及び他のフラッシュ記憶システムで必要とされるように）所定の記憶素子の組に保存された情報を変更するために他の記憶素子に保存された情報を消去する必要がない。

本発明の一態様は、電気的に作動する、直接上書き可能な、複数ビット、单一セル記憶素子を具備するものである。この記憶素子は、その单一セル記憶素子を定義する特定の容量の記憶材料を含む。この記憶材料は、（1）広い可変範囲の電気抵抗値と、（2）該单一セルを複数ビット保存能力を備えて提供するための、選択された電気入力信号に応答して該可変範囲(dynamic range)内の複数の抵抗値のうちの1つを設定される能力と、（3）該材料の以前の抵抗値に関わらず、選択された電気信号により、少なくとも1つのフィラメント部(filamentary portion)を該可変範囲(dynamic range)内のいかなる抵抗値にも設定する能力とを特徴とする。

またこの記憶素子は、該記憶素子を前記可変範囲内の選択された抵抗値に設定する電気入力信号を供給するための、2つの間隔を置いて配置された電気的コンタクト層を具備する。電気的コンタクト層の各々は、前記記憶材料に隣接して堆積させた薄膜層を具備する。この隣接薄膜層の少なくとも1つは、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W及びそれらの混合物もしくは合金からなる群より選択される1種もしくはそれ以上の

元素を、B、C、N、O、Al、Si、P、S及びそれらの混合物もしくは合金からなる群より選択される2種もしくはそれ以上の元素との組み合わせで含んでなる。好ましくは、この隣接薄膜コンタクト層の少なくとも1つは窒化炭素チタン(titanium carbonitride)又は窒化ケイ素チタン(titanium siliconitride)を含んでなる。

間隔を置いて配置されるコンタクトの各々は、好ましくは、記憶材料から隔てて堆積させたさらなる薄膜層を具備する。この遠隔薄膜層はTi、W、Mo及びそれらの混合物もしくは合金からなる群より選択される1種もしくはそれ以上の元素を含んでなる。好ましくは、遠隔薄膜層の各々は、Ti及びWを含んでなる合金である。

本発明の他の態様及び特徴は、それらの他の利点及び目的と共に、特に添付の図面と組み合せた場合、以下の発明の詳細な説明に説明されてそこから明らかとなるであろう。

#### 図面の簡単な説明

図1は单一記憶素子の断面図である。

図2は複数の記憶素子の可能なレイアウトの上面図であり、素子がどのように一組のX-Yアドレス線に接続するのかを示す。

図3は図2の記憶素子の模式図であり、さらに、ダイオードのような単独の素子が互いに電気的に分離されている装置の各々と記憶素子に関して直列の状態でどのように接続するのかを示す。

図4は、アドレス/ドライバ/デコーダが作動するように搭載されている統合

回路チップと電気的に通信する状態で配置されている、図1に示される本発明の記憶マトリックスが統合されている単結晶半導体基板を説明する模式図である。

図5は、本発明の記憶素子が製造されるGe : Sb : Te合金系の三元状態図であり、この状態図はこれらの元素の様々な混合物が急速固化の際に分離する多相の幾つかを示す。

図6は、図6のGe - Sb - Te系の3つの三元合金の原子構造成層を、この系の非等方性構造を説明するために二元Ge - Teの原子構造と共に示す。

図7は、窒化炭素チタンを含んでなる頂部隣接コンタクト層及び炭素を含んでなる底部隣接コンタクト層を有する記憶素子のサイクリング特性を示すデータのグラフである。

図8は、窒化ケイ素チタンを含んでなる頂部隣接コンタクト層及び炭素を含んでなる底部隣接コンタクト層を有する記憶素子のサイクリング特性を示すデータのグラフである。

図9は、窒化炭素チタンを含んでなる頂部隣接コンタクト層を有する記憶素子の多重状態能力（すなわち、抵抗の可変範囲内で複数の抵抗レベルに設定することができる記憶素子の能力）を示すデータのグラフである。

図10は、4種類の異なる抵抗値を有する窒化炭素チタン材料を含んでなる頂部隣接コンタクト層を具備する記憶装置の設定及び復元抵抗値を示すデータのグラフである。

#### 発明の詳細な説明

広範囲のカルコゲナイト材料から製造される消去可能な電気的記憶装置は、非晶質状態から結晶状態に切り換えられた材料のような相変化を可能にする、その材料内の特定の原子種の移動によって説明される構造的な変化を用いている。例えば、約80%ないし85%のテルル及び約15%のゲルマニウムを、各々約1ないし2%の少量の他の特定元素例えばイオウ及びヒ素などと共に含むもの、のようなテルル及びゲルマニウムで形成される電気的に切り換え可能なカルコゲナイト合金の場合、そ

のより秩序付けられた、すなわち結晶性の状態は、典型的には、記憶材料の切り換え可能な細孔(pore)内での導電性が非常に高い結晶性Te フィラメントの形成を特徴としていた。このような従来の材料の典型的な組成は、例えば、Te<sub>81</sub>G<sub>e15</sub>S<sub>2</sub>A<sub>s2</sub>又はTe<sub>81</sub>G<sub>e15</sub>S<sub>2</sub>S<sub>b2</sub>である。Teはその結晶状態において導電性が高いため、非常に低い抵抗状態はより秩序付けられた、すなわち結晶性の状態のTe フィラメントによって確立されていた。この抵抗は、秩序が劣る、あるいは非晶質状態の細孔の抵抗より数桁低い。

しかしながら、結晶状態の導電性Te フィラメントの形成は、非晶質状態の原子配置から結晶性Te フィラメント状態の新しい局部的に密集した(locally concentrated)原子配置へのTe 原子の移動(migration)を必要とした。同様に、カルコゲナイトフィラメント状材料が非晶質状態に戻された場合、結晶性フィラメントに析出したTeはそのフィラメントの局部的に密集した形態から非晶質状態の原子配置へと材料内を移動する必要があった。この非晶質状態と結晶状態との間での原子の移動、拡散又は再配置は、各々の場合において、その移動に十分な長さの保持もしくは滞留時間を要し、そのため必要とされるスイッチング時間及びエネルギーが比較的大きいものとなった。

本発明者らは、新種のカルコゲナイト半導体材料に基づく、根本的に異なる型の電気的に消去可能で直接上書き

可能な記憶装置に必要とされるスイッチング時間及びエネルギー入力の両者の顕著な減少を見出している。さらに、このカルコゲナイト材料は、広い可変範囲の安定状態で、著しく低いエネルギー入力を用いての、著しく高速の切り換えを提供する。そのため、この新規に見出された種類の材料は改良された電気的記憶素子の製造に用いることができる。

具体的には、この記憶材料は、様々な抵抗値の電気的に検出可能な状態を、ナノ秒の時間で、ピコジュールのエネルギー入力を用いて切り換えることができる(最小スイッチング速度及び最小エネルギー要求は未だ確かめられていないが、本願の出願時の実験データはこの電気的記憶装置を1ナノ秒という短さのプログラミングパルスで(最適化されてはいないとしても)調整できることを示してい

る）。この記憶材料は不揮発性であり、周期的なリフレッシュ信号を必要とすることなく、記憶セルによって保存された情報の完全性を（選択されたエラーのマージ内で）維持する。記憶用途に指定されているこれまでの多くの他の半導体材料及びシステムと対照的に、本発明の半導体記憶材料及びシステムは直接上書き可能であり、その結果、保存されている情報を変更するために個々の記憶素子を消去する（指定された出発点に設定する）必要がない。あらゆる異なる抵抗値への著しく高速かつ低エネルギーの切り換えは、この切り換えがこのスイッチング材料の大量の原子再配置を必要とすること

なく生じるという事実に起因する可能性がある。

この記憶材料は複数の構成原子状元素から形成され、その各々は記憶材料の全體積にわたって存在する。この複数の構成原子状元素は、好ましくは、少なくとも1種のカルコゲン元素を含み、かつ少なくとも1種の遷移金属元素を含んでいてもよい。ここで用いられる“遷移金属”という用語には、21ないし30、39ないし48、57及び72ないし80の元素が含まれる。より好ましくは、記憶材料の体積を形成する構成原子状元素は、Te、Se、Ge、Sb、Bi、Pb、Sn、As、S、Si、P、O及びそれらの混合物もしくは合金からなる群より選択される元素を含む。より好ましくは、遷移金属元素はCr、Fe、Ni及びそれらの合金の混合物を含み、カルコゲン元素はTe及びSeを含む。最も好ましくは、遷移金属はNiである。このような多元素系の具体的な例は、Ni及び／又はSeを含む又は含まない、Te：Ge：Sb系について以下に説明されている。

プログラミングが遂行される方式の説明に関わりなく、本発明は、従来单一記憶素子では利用することができなかった価値の高い電気的スイッチング特性の組み合わせを提供する。

記憶装置の製造に用いられる具体的な半導体合金は、“孤立電子対(lone pair)”電子の存在が特に注目されるカルコゲニド元素を含む。したがって、利用可能な化学結合配置におけるこれらの孤立電子対電子の効果を論

じる必要がある。簡単に述べると、孤立電子対は、典型的には結合に関わらない原子の最外殻の電子対である。このような孤立電子対電子は構造的及び化学的に重要である。これらは、他の孤立電子対や結合配置に関わる隣接電子対に強力な反発力を及ぼすことにより、分子の形状及び結晶格子構造に影響を与える。孤立電子対電子は第2の核種によって結合領域に拘束されないため、低エネルギーの電子遷移に影響を及ぼし、かつ寄与し得る。Ovshinskyによって最初に指摘されたように、孤立電子対は1つ及び3つの中心結合(central bonding)を有する可能性があり、Kastner、Adler及びFrischによって示されるようにこれらには原子価の異なる対(valence alternation pairs)がある。

具体的には、ここに説明されるテルル合金は孤立電子対状態で形成された原子価結合を有する。Teには4個のp殻電子が存在し、Te原子がp殻のこれらの結合電子のうちの2個によって化学的に結合するため、他の2個の外殻電子(孤立電子対)は結合には利用されず、そのため系の原子エネルギーを実質的に変化させることはない。これに関して、最も外側の充足分子軌道がその孤立電子対電子を含む軌道であることに注意されたい。これは、テルル及びゲルマニウム原子の完全な化学量論的結晶において、その結晶が形成されている格子内に幾らかの内部歪がかかる際、原子価結合が広がり、その後フェルミ水準から外れることになる位置に向けて上方に移動する可能性があるため

重要である。しかしながら、TeGe結晶は元来“自己補償性”であり、すなわち、この結晶は優先的にTeに富む(約52%のTe及び48%のGe)組成をとろうとする。化学量論的な結晶は面心立方であるが、最小量のエネルギーを加えることで、この結晶はそのGe及び/又はSbの原子価数を増大させることにより菱面体格子構造をとることができる。この材料のエネルギー状態を低下させ、フェルミ水準を原子価結合に向けて移動させる原因となるのは、TeGe合金中の格子歪を低減することが可能な、結晶格子構造内のこの原子価の生成である。

これは、完全に予測するものではないとしても原子の挙動の説明を得るために

局部的秩序の非晶質モデルを短距離局部的秩序モデルの上に重ね合わせる必要がない場合、受け入れができるものである。この材料の非晶質での性質を考慮した場合、捕獲された荷電担体の再結合中心の深さが帯域末端から大きく隔たった深さであるのに対して、帯域の裾の欠乏状態の密度がその帯域末端に最も隣接することに注意されたい。これらの深いトラップと裾の状態が存在することにより、フェルミ水準と帯域末端との間の中間的な安定抵抗値の可能性が説明される。理論に関わりなく、完全に結晶化している場合、本発明の半導体材料は金属様導電性を示す変性半導体である。

さらに、半導体及び記憶材料の塊として存在する結晶体のサイズは比較的小小さく、好ましくは約2000Å未満、より好ましくは約50Åないし500Å、最も好ましくは約200Åないし約400Åのオーダーであるものと信じられる。

さらに、これらの結晶体は非晶質性外皮に取り巻かれているものと信じられ、この非晶質性外皮は、異なる抵抗値（導電性）として検出可能なその材料の多くのフェルミ水準位の急速な形成と、その材料を容易に、かつ繰り返し設定することが可能なこれらの検出可能な抵抗値の間での遷移に求められるエネルギーの低さに貢献し得るものである。

また、本発明の微結晶材料から製造された2又は3のターミナル半導体装置のスイッチング特性の調整が繰り返しつつ検出可能な抵抗値を生じ得るように制御することができることも見出されている。本発明の材料を低エネルギー入力信号で（フェルミ水準位によって決定される）所望の導電性に迅速に設定するためには、この材料が少なくとも2つの異なるフェルミ水準位で安定に（又は長期間持続する準安定状態で）存在し得ることだけが必要であることが見出されている。このフェルミ水準位は、実質的に定常的な帯域ギャップではあるものの異なる導電性であることを特徴とするものである。上述のように、比較的小さな結晶体サイズが検出可能な抵抗値の間での迅速な遷移に貢献し得ることも信じられる。

本発明の半導体材料の特徴の1つは、単位体積当たりよ

り多くかつより小さな結晶体を形成しようとする傾向である。本発明の態様とし

て代表的な材料の最も広い優先範囲の結晶体サイズは約2000Åをはるかに下回り、一般に従来の材料の特徴である約2,000Åないし5,000Å範囲を下回ることが見出されている。結晶体サイズは、ここでは、結晶体の直径、又はそれらの結晶体が球形でない場合の直径に等しいそれらの“特有寸法(characteristic dimension)”の直径として定義される。

本発明の基準に合致するTeGeSb材料クラスの高抵抗状態における組成は、一般に、従来の電気的に消去可能な記憶材料におけるものに対して実質的に低いTe濃度を特徴とすることが決定されている。実質的に改善された電気的スイッチング性能特性を示す組成物の1つにおいて、析出したものとしてのその材料中のTeの平均濃度は70%を大きく下回り、典型的には約60%を下回り、一般的な形態において約23%ないし約58%のTe、最も好ましくは約40%ないし約58%のTeという低い範囲であった。Geの濃度は約5%を上回り、一般には50%未満にとどまりつつ、その材料中で最低で約8%ないし約30%の平均値の範囲であった。この組成における残りの主要構成元素はSbであった。ここで与えられるパーセンテージは、合計で構成元素の原子100%になる原子パーセンテージである。したがって、この組成は $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ と特徴付けることができる。これらの三元Te—Ge—Sb合金は、さら

に良好な電気的特徴を有するさらなる記憶材料を開発するための有用な出発物質である。

Te:Ge:Sbの三元状態図を図5に示す。Te、Ge及びSbの様々な混合物から溶融物を調製した。これらの調製物は、急速固化により複数の相に分離した。これらの急速固化溶融物の分析により、10種類の異なる相（1つの急速固化溶融物中に全てが存在するわけではない）の存在が示された。これらの相は、元素Ge、Te及びSb、二元化合物GeTe及び $\text{Sb}_2\text{Te}_3$ 並びに5種類の異なる三元相である。全ての三元相の元素組成は擬似二元 $\text{GeTe}-\text{Sb}_2\text{Te}_3$ ライン上に乗り、図5に示される三元状態図上に参照符号A、B、C、D及びEで示されている。これらの5種類の三元相における元素の原子比を表1に示す。

図5のより詳細な説明は以下で行なわれている。

表 1

## T e G e S b 系の観察された三元結晶相

呼称	G e の原子%	S b の原子%	T e の原子%
A	4 0	1 0	5 0
B	2 6	1 8	5 6
C	1 8	2 6	5 6
D	1 4	2 9	5 7
E	8	3 5	5 6

本発明の新規記憶素子は特定容積の記憶材料を含み、該記憶材料は、好ましくは、少なくとも1種のカルコゲンを含み、かつ1種もしくはそれ以上の遷移金属を含んでいてもよい。遷移金属を含む記憶材料は、T e - G e - S b 三元系における我々の記憶材料の元素的に変形された形態である。すなわち、元素的に変形された記憶材料はT e - G e - S b 記憶合金の変形された形態を構成する。この元素的な変形は、S e のようなさらなるカルコゲン元素と共に、もしくはこれなしで、遷移金属を基本T e - G e - S b 三元系に混合することにより達成される。一般には、この元素的に変形された記憶材料は2つの範疇に入る。

第1は、T e 、G e 、S b 及び遷移金属を  $(T e_a G e_b S b_{100-(a+b)})_c T M_{100-c}$  の比で含む記憶材料であり、

ここで下付文字は合計で構成元素100%となる原子パーセンテージであり、T Mは1種もしくはそれ以上の遷移金属であり、a及びbは基本T e - G e - S b 三元系について上に説明される通りであり、かつcは約90ないし約99.5%である。この遷移金属には、C r 、F e 、N i 及びそれらの合金の混合物が好ましく含まれ得る。この系に包含される記憶材料の具体的な例には、(T e<sub>56</sub> G e<sub>22</sub> S b<sub>22</sub>)<sub>95</sub> N i<sub>5</sub>、(T e<sub>56</sub> G e<sub>22</sub> S b<sub>22</sub>)<sub>90</sub> N i<sub>10</sub>、(T e<sub>56</sub> G e<sub>22</sub> S b<sub>22</sub>)<sub>95</sub> C r<sub>5</sub>、(T e<sub>56</sub> G e<sub>22</sub> S b<sub>22</sub>)<sub>90</sub> C r<sub>10</sub>、(T e<sub>56</sub> G e<sub>22</sub> S b<sub>22</sub>)<sub>95</sub> F e<sub>5</sub>

、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>90</sub>Fe<sub>10</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>90</sub>Ni<sub>5</sub>Cr<sub>5</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>90</sub>Ni<sub>5</sub>Fe<sub>5</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>90</sub>Cr<sub>5</sub>Fe<sub>5</sub>等が含まれる。

第2は、Te、Ge、Sb、Se及び遷移金属を(Te<sub>a</sub>Ge<sub>b</sub>Sb<sub>100-(a+b)</sub>)<sub>c</sub>TM<sub>d</sub>Se<sub>100-(c+d)</sub>の比で含む記憶材料であり、ここで下付文字は合計で構成元素100%となる原子パーセンテージであり、TMは1種もしくはそれ以上の遷移金属であり、a及びbは基本Te-Ge-Sb三元系について上に説明される通りであり、cは約80ないし99%であり、かつdは約0.5ないし1.0%である。この遷移金属には、Cr、Fe、Ni及びそれらの合金の混合物が好ましく含まれ得る。この系に包含される記憶材料の具体的な例には、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>90</sub>Ni<sub>5</sub>Se<sub>5</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>80</sub>Ni<sub>10</sub>Se<sub>10</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>90</sub>Cr<sub>5</sub>Se<sub>5</sub>、

(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>80</sub>Cr<sub>10</sub>Se<sub>10</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>90</sub>Fe<sub>5</sub>Se<sub>5</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>80</sub>Fe<sub>10</sub>Se<sub>10</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>85</sub>Ni<sub>5</sub>Cr<sub>5</sub>Se<sub>5</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>80</sub>Ni<sub>5</sub>Fe<sub>5</sub>Se<sub>10</sub>、(Te<sub>56</sub>Ge<sub>22</sub>Sb<sub>22</sub>)<sub>85</sub>Cr<sub>5</sub>Fe<sub>5</sub>Se<sub>5</sub>等が含まれる。

本特許出願の記憶素子は実質的に不揮発性の設定抵抗値を有する。しかしながら、本発明の記憶素子の抵抗値が特定の環境下でその本来の設定値からずれる場合には、以下に説明される“組成的変性(compositional modification)”を用いてこのずれを取り除くことができる。ここで用いられる場合、“不揮発性(non-volatile)”という用語は、設定抵抗値がアーカイバル期間実質的に一定のままである状態を指す。もちろん、選択されたエラーのマージン外で“ずれ(drift)”が全く生じないことを保証するために（以下で論じられるフィードバックシステムを含む）ソフトウェアを用いることができる。記憶素子の抵抗値のずれは、放置された場合、情報のグレースケール保存を妨げる可能性があるため、ずれを最小にすることが望ましい。

“組成的変性”は、ここでは、その材料の本来の抵抗値を増大させる帯域ギャップ拡張元素の添加を含む、実質的に安定な抵抗値を生じるように特定体積の記

憶材料を組成的に変性するあらゆる手段を含むものと定義される。組成的変性の例の1つは、厚みに対して勾配を有する組成的異質種を含めることである。例えば、特定体積

の記憶材料を異なる組成の第1のTe-Ge-Sb合金から第2のTe-Ge-Sb合金に勾配付けることができる。この組成勾配は設定抵抗値のずれを低減するあらゆる形態をとることが可能である。例えば、組成勾配を同じ合金系の第1及び第2の合金に限定する必要はない。また、この勾配は、2種類を超える合金で達成することができる。この勾配は均一かつ連続的であってもよく、また不均一もしくは非連続的であってもよい。抵抗値のずれを低減させる組成勾配の具体的な例には、一面でのGe<sub>14</sub> Sb<sub>29</sub> Te<sub>57</sub> から対面でのGe<sub>22</sub> Sb<sub>22</sub> Te<sub>56</sub>への均一かつ連続的な勾配が含まれる。

組成変性を用いて抵抗値のずれを低減する別の方法は、特定体積の記憶材料を積層することによるものである。すなわち、特定体積の記憶材料を異なる組成の複数の別個の比較的薄い層で形成することができる。例えば、特定体積の記憶材料は、各々が異なるTe-Ge-Sb合金で形成される1もしくはそれ以上の対の層を有していてもよい。また、勾配を有する組成の場合と同様に、抵抗値のずれを実質的に減少させる層のいかなる組み合わせをも用いることができる。これらの層は同様の厚みのものであってもよく、あるいは異なる厚みであってもよい。層の数は何枚であってもよく、特定体積の記憶材料中に同じ合金の複数の層が連続して、もしくは互いに隔てられて存在していてもよい。また、異なる合金組成の層を何枚でも用いることができる。組成的積層の特定の

例は、Ge<sub>14</sub> Sb<sub>29</sub> Te<sub>57</sub> 及びGe<sub>22</sub> Sb<sub>22</sub> Te<sub>56</sub> の交代層の対を含む特定体積の記憶材料である。

抵抗値のずれを低減する組成的異質種のさらに別の形態は、組成勾配及び組成的積層を合わせることにより達成される。より具体的には、前述の組成勾配を上述の組成的積層のあらゆるものと合わせて安定体積の記憶材料を形成することができる。この組み合わせを用いる例示的な特定体積の記憶材料は、(1) Ge<sub>14</sub>

$S_{b_{29}}T_{e_{57}}$  及び  $G_{e_{22}}S_{b_{22}}T_{e_{56}}$  の勾配組成 (graded composition) が後続する  $G_{e_{22}}S_{b_{22}}T_{e_{56}}$  の個別層 (discrete layer) を含む特定体積の記憶材料と、(2)  $G_{e_{14}}S_{b_{29}}T_{e_{57}}$  及び  $G_{e_{22}}S_{b_{22}}T_{e_{56}}$  の勾配組成 (graded composition) が後続する  $G_{e_{14}}S_{b_{29}}T_{e_{57}}$  の個別層 (discrete layer) を含む特定体積の記憶材料である。

図1を参照すると、単結晶シリコン半導体ウェハ10上に形成された本発明の記憶素子の断面図が示されている。記憶素子30は記憶材料36とこの記憶素子に電気入力信号を供給するための一対の間隔を置いて配置されたコンタクト6及び8を具備する。

間隔において配置されたコンタクトの各々は2つの薄膜層を含んでなるものであってもよい。記憶材料に隣接して堆積させた層34及び38は、カルコゲナード記憶材料36への外部物質の移動を妨げる優れた拡散障壁特性を有する。従来、オボニック EEPROMにおいて、この隣接薄膜層34及び38は、共に非晶質炭素、非晶

質シリコン、又は二重(dual)非晶質炭素／非晶質シリコン構造を含んでなるものであった。本発明においては、この隣接薄膜コンタクト層の少なくとも一方は新規材料に変性されている。この新規材料は、Ti、V、Cr、Zr、Nb、M、Hf、Ta、Wからなる群より選択される1種類の元素、及びB、C、N、O、Al、Si、P、Sからなる群より選択される2種類の元素とを含む化合物から形成される。一態様においては、この隣接薄膜コンタクト層の少なくとも一方は窒化炭素チタンを含んでなる。好ましくは、この隣接薄膜コンタクト層の少なくとも一方は、原子パーセントで、約10ないし60%のチタン、5ないし50%の炭素及び10ないし60%の窒素の組成を有する化合物を含んでなる。加えて、この窒化炭素チタン(titanium carbonitride)は40%までの水素を含んでいてもよい。別の態様においては、この隣接薄膜層の少なくとも一方は窒化ケイ素チタン(titanium siliconitride)を含んでなる。この態様において、好ましくは、隣接薄膜層の少なくとも一方は、原子パーセントで、約10ないし60%のチタン、5ないし50%のケイ素及び10ないし60%の窒素の組成を有する化合

物を含んでなる。窒化炭素チタン及び窒化ケイ素チタンは、カルコゲナイト記憶材料への外部物質の拡散及び電気移動（エレクトロマイグレーション）の両者を妨げる優れた障壁特性を有する。

窒化ケイ素チタン及び窒化炭素チタンの層は、DC及

びRFスパッタリング堆積に加えて蒸発、イオンプレーティングを含む物理的蒸着、化学的蒸着、及びプラズマ支援化学的蒸着のような方法によって堆積させることができる。用いられる的確な方法は多くの因子に依存し、その1つはカルコゲナイト目的材料の組成によって課せられる堆積温度の制約である。窒化炭素チタン又は窒化ケイ素チタンのいずれかの層は、好ましくは、約100Åないし2000Åの厚みに堆積させる。より好ましくは約200Åないし1000Åの厚みに堆積させる。

間隔を置いて配置されるコンタクト6及び8の対は、好ましくは、カルコゲナイト記憶材料から隔てて堆積させたさらなる薄膜層32及び40を含んでなる。これらの遠隔薄膜層の各々は、Ti、W及びMoからなる群よりの1種もしくはそれ以上の元素を含んでなる。一様においては、この遠隔薄膜層の各々はTi及びWを含んでなる。好ましくは、この遠隔薄膜層は、原子パーセントで、5%ないし30%のチタン及び70%ないし95%のタンゲステンの化合物を含んでなる。このTi-W合金層32及び40は、好ましくは、DCスパッタリング堆積プロセスを用いて堆積させる。これらは好ましくは約100Åないし4000Åの厚みに堆積させる。より好ましくは約200Åないし2000Åの厚みに堆積させる。Ti-W合金層32及び40は優れたオーム・コンタクト特性を有する。さらに、これらはカルコゲナイト記憶材料への外部電極材料の電気移動及び拡散の両

者を妨げるので必要な障壁特性を有する。

記憶材料36の層は、ここに開示されるカルコゲナイト材料のような多元素半導体材料で形成される。この層36はスパッタリング、蒸発のような方法により、又は化学的蒸着（CVD）により堆積させることができ、化学的蒸着はRFグ

ロー放電のようなプラズマ技術で増強してもよい。本発明のカルコゲナイト記憶材料は、最も好ましくは、RFスパッタリング及び蒸発により製造される。カルコゲナイト層36のRFスパッタリング及び蒸発の典型的な堆積パラメータはそれぞれ下記表2及び3で説明されている。

表 2

## RFスパッタリング堆積パラメータ

パラメータ典型的な範囲

基圧	$8 \times 10^{-7} \sim 1 \times 10^{-6}$ トール
スパッタリング	4~8ミリトール
ガス(Ar)圧	
スパッタリング電力	40~60ワット
周波数	13~14MHz
堆積速度	0.5~10Å/秒
堆積時間	2~25分
膜厚	250~1500Å
基板温度	周囲温度~300°C

表 3

## 蒸着堆積パラメータ

<u>パラメータ</u>	<u>典型的な範囲</u>
基圧	$1 \times 10^{-6} \sim 5 \times 10^{-6}$ トール
蒸発温度	450 ~ 600 °C
堆積速度	2 ~ 4 Å / 秒
堆積時間	2 ~ 20 分
膜厚	250 ~ 1500 Å
基板温度	周囲温度 ~ 300 °C

加熱基板上に堆積した蒸着膜は異方性成長の特徴を示し（図5を参照されたい）、ここではカルコゲン元素の方向付けられた層が順次堆積することに注意することが重要である。これが電気的用途にとって重要なかどうかは既に立証されているが、この型の膜には（これらの組成について既に測定されている高い熱電力(thermopower)、すなわち、ビスマス系について測定されるものの4倍の率による）熱電気又は特定の半導体及び超伝導用途の見込みがある。記憶材料36の層は、好ましくは約200Åないし5,000Å、より好ましくは約250Åないし2,500Å、最も好ましくは約400Åないし1,250Åの厚みで堆積させる。

ここで用いられる場合、“細孔径(pore diameter)”という用語は、一般には、記憶材料36と電気コンタクト層6及び8との最も小さな接触領域の平均断面を意味する。記憶材料36の細孔径は、側部の寸法には実際上の制限はないが、約1ないし2マイクロメーター未満である。この高導電性材料の実際の導電経路の直径は1マイクロメーターを大きく下回ることが測定されている。したがって、この細孔径はリソグラフィの解像限界が許容する限り小さいものであってもよく、実際、細孔が小さいほど電気的スイッチングに対するエネルギー要求は低下する。

細孔径は、その材料が高もしくは低抵抗状態に切り換えられる際にその抵抗値

が実際に変更される記憶材料の

断面と実質的に一致するように選択することが好ましい。したがって、記憶材料3 6 の細孔径は好ましくは約1マイクロメーター未満であり、その結果、記憶材料3 6 の体積は、リソグラフィによって可能な程度にまで、様々な抵抗状態の間で実際に切り換えられる記憶材料3 6 の体積に限定される。これは、抵抗の検出可能な変更を開始するのに必要なスイッチング時間及び電気エネルギーをさらに低減する。理想的には、細孔径は、このスイッチング材料がダイナミック状態にある場合に形成されるフィラメントの直径に等しくあるべきである。

さらに、記憶素子3 0 の細孔領域は、適正な作動に必要なように、上部及び下部電極との電気的接触を除いて、熱的に分離及び／又は制御されていることが好ましい。これは、抵抗値の遷移に必要な電気エネルギーの他に、切り換えられた特定体積の細孔からの熱の転移を制限し、限定し、かつ制御する。このような熱的分離は、図1の態様において、記憶素子3 0 の側部周囲を取り巻く絶縁材料3 9 によって達成されている。

我々は、この記憶素子の性能の傾向を観察しており、これは一般には細孔径に関連している。この装置が二元モードで用いられる場合、細孔径がちょうど1ミクロンを超えるところから全く開口していないものまでの範囲を体系的にとるウェハの横断面で装置を試験した際、オフからオンへの抵抗比に一般的な増加が見られる。細孔径が例えば1ミクロンないし1／6ミクロンの範囲内に

制御される場合には、我々の装置の性能が改善される状況が存在する。我々の装置のプログラミングにおいては電流密度及びエネルギー密度のような因子が重要であるため、細孔径の減少から生じる装置の体積の減少は感度及び速度の増加を生じるはずである。設定エネルギー／電流／電圧を最小化するため、1500Åという小ささの細孔径を、さらには100Åという小ささの細孔径さえ用いることができる。

間隔を置いて配置されたコンタクトの少なくとも一方と特定体積の記憶材料との間にフィラメント封鎖手段(confining means)4 8 を用いる本発明の記憶素子

は、良好な熱的安定性、必要とされる設定／復元（セット／リセット）時の低電流、長期間のサイクルライフ及び広い抵抗可変範囲を有する記憶素子を提供する。これらの記憶素子においては、抵抗値の切り換えは特定体積の記憶材料のフィラメント部(filamentary portion)で生じるようと思われ、このフィラメント部はフィラメント封鎖手段の影響を受けているように思われる。このフィラメント封鎖手段は、この記憶素子の電気的形成(electrical formation)時のフィラメント部のサイズ及び位置を決定する。このフィラメント封鎖手段はまた、この記憶素子が使用される際のそのサイズを制限し、フィラメント部のその位置を限定する。それにより、間隔を置いて配置されたコンタクトへ非常に弱い電流が入力された時、単一セル記憶素子のフィラメント部内に高い電流密度が

与えられる。典型的にはこのフィラメント封鎖手段は、間隔を置いて配置された前記コンタクトの一方と特定体積の前記記憶材料との間に配置された1つの薄膜層である。好ましくはこの薄膜層は10Åないし100Åの厚みである。この薄膜層は高抵抗材料で形成され、かつそれを横切る少なくとも1つの低抵抗経路を有しており、電気信号は、電気的コンタクトと特定体積の記憶材料との間でここを通過する。この高抵抗薄膜層中の低抵抗経路の面積は、この薄膜層と特定体積の記憶材料との間の接触の全面積の約2%未満であり得る。例示的な薄膜層は、ケイ素、窒素及び水素を含む窒化ケイ素で形成される。この膜の組成は、好ましくは、原子パーセントで、約30～40%のケイ素、40～50%の窒素、及び30%までの水素原子(H)である。

このフィラメント封鎖手段は、記憶装置の“電気的形成プロセス(electrical formation process)”においてその役割を果たす。この電気的形成プロセスは、高電流電気パルスを新しく構築した記憶素子に、その記憶素子がその本来の非常に高い“処女(virgin)”抵抗値からより低い抵抗値に切り替わるまで印加するところからなる。ひとたびこれが生じると、その記憶素子は“形成された(formed)”と呼ばれる。その時点で、引き続く低電流電気サイクルの準備が整う。

この形成プロセスは、フィラメント封鎖手段(confining means)窒化ケイ素薄膜層を“破壊(breaks down)”

する。堆積したままの窒化ケイ素薄膜層は抵抗が大きい。形成プロセスの過程で1もしくはそれ以上の高電流パルスが印加される間、この封鎖層における電気的に最も弱い“破壊”領域が物理的に変化し、この層の他の部分よりも導電性が大きくなる。引き続くあらゆる記憶サイクリングパルス（すなわち、設定及び復元パルス）の電流の全てが通過するのはこの領域を通してである。この電流は特定体積の記憶材料の抵抗スイッチングフィラメント状部分のサイズ及び位置を決定する。この破壊領域は低電流記憶スイッチングの過程では移動したりサイズが成長することがないため、その記憶素子が使用される間、抵抗スイッチングフィラメント部の位置を留め、そのサイズを制限する作用をする。この記憶素子に非常に弱い電流が印加された場合、その電流の全てはこのフィラメント状部分を通過する。したがって、その極度に小さいサイズのため、記憶材料のこの領域内での電流密度は非常に大きい。

図1に示される記憶素子は多段階プロセスで形成することができる。層32、34及び46を最初に堆積させ、絶縁層46をエッティングして細孔を形成する。残りの層48、36、38及び40を堆積させ、層32、34、36、46、48、38及び40のスタック全体を選択された寸法にエッティングする。この構造全体の頂部に堆積されるのはSiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>の絶縁材料39の層である。これをエッティングし、アルミニウム層を堆積さ

せて第2電極グリッド構造42を形成する。この第2電極グリッド構造はコンダクタ12の方向に垂直に広がり、個々の記憶素子とのX-Yグリッド接続を完成させる。この完全な一体化構造を覆うものはSi<sub>3</sub>N<sub>4</sub>のような適切な封止材又はポリアミドのような可塑性材料の頂部封止層であり、これは性能の劣化及び低下を引き起こす可能性がある水分や他の外的要素に対してこの構造を密封する。Si<sub>3</sub>N<sub>4</sub>封止材は、例えば低温プラズマ堆積プロセスを用いて堆積させることができる。ポリアミド材料は、封止層を形成するための既知技術に従って、スピンドルを堆積させ、堆積の後にベークすることができる。

この型の三次元記憶アレイの製造に従来のCMOS技術を用いることは不可能である。これは、CMOS技術が不可欠の半導体装置を単結晶半導体ウェハのバ

ルク中に構築し、したがって単層の装置の製造にのみ用いることができるためである。さらに、(1) CMOSは比較的低コストで大きなアレイを効果的に生成するほど小さいフットプリント(実際の素子寸法)を製造することができず、かつ(2) CMOS装置は、それらが单一平面上に存在するため、Z方向に沿って相互に接続することができない。したがって、CMOS装置は、先進的な並列処理コンピュータに不可欠の複雑な三次元相互接続性を備えて製造することができない。他方、本発明の三次元薄膜記憶アレイ構造は、並列情報処理に加えて、従来の直列情報処理が可能である。

並列処理及び、したがって、多次元記憶アレイ構造は、パターン認識、分類又は連想学習のような複雑な作業の迅速な実行に不可欠のものである。並列処理のさらなる使用及び説明は米国特許5,159,661号に示されており、これは本発明の譲受人に譲渡され、その開示は参考することによりここに組込まれている。しかしながら、図1の態様に示される一体構造を用いて完全に垂直方向に一体化された記憶装置構造を形成することが可能であり、それにより基板上で占られる面積が最小化される。これは、チップ内の記憶素子の密度が本質的にリソグラフィの解像能力によってのみ制限されることを意味する。

複数の記憶素子の可能な配置の上面図を図2に示す。示されるように、装置は記憶素子のX-Yマトリックスを形成する。水平ストリップ12は個々の素子にアドレスするためのX-Y電極グリッドのXの組を示す。垂直ストリップ42はアドレス線のYの組を示す。

本発明の電気的に消去可能な記憶装置の他の回路形状ももちろん可能であり、実現可能である。特に有用な形状の1つは、記憶もしくは制御素子及びそれら各自の分離装置の複数の平面が互いに積み重ねられている三次元多重レベルアレイである。記憶素子の各平面は記憶素子の複数の行及び列として配置され、それによりX-Yアドレス指定が可能となる。この平面の積み重ねは、記憶保存密度の増加に加えて、さらなるZ次元の相互接続を

可能にする。この配置は、真に知的なコンピュータのために神経網を模倣するの

に特に有用である。

記憶素子の各々は、特定の型の分離素子を用いて互いに電気的に分離する。記憶装置レイアウトの模式図である図3は、ダイオードを用いてどのように電気的分離を行うことができるのかを示す。この回路は、分離ダイオード26で直列に電気的に相互接続している記憶素子30を備えるX-Yグリッドを含む。アドレス線12及び42は当該技術分野における熟練者に公知の方式で外部アドレス指定回路に接続されている。分離素子の目的は、そのマトリックス中の隣接もしくは遠隔記憶素子に保存される情報を損なうことなく、個別の記憶素子の各々を読み取り及び書き込み可能にすることである。

図4は、その上に本発明の記憶マトリックス51が形成されている単結晶半導体基板50の一部を示す。また、同じ基板50の上には、一体化回路接続53によって記憶マトリックス51に適切に接続されているアドレス指定マトリックス52が形成されている。このアドレス指定マトリックス52には、記憶マトリックス51に印加される設定及び読み取りパルスを決定及び制御する信号発生手段が含まれる。もちろん、このアドレス指定マトリックス52は、固体状態記憶マトリックス51と一体化し、それと同時に形成してもよい。

ほとんどの用途に必要であると思われる比較的速いスイッチング速度及び低いスイッチングエネルギーを有す

る従来の半導体記憶装置においては、記憶素子の各々に対して少なくとも1つのトランジスタ及び電荷貯蔵素子が必要である。このような記憶素子を一体化された回路形態に形成するには、その一体化回路がどのように割り付けられているかに関わりなく、特定の最小基板面積を占める他の複雑なものと共に少なくとも3つの接続が必要である。本発明の電気的に消去可能な記憶素子の一体化された回路形状は記憶素子の各々への2つの接続のみが必要であり、これらは互いに垂直方向の関係にすることが可能である。さらに、分離ダイオード及び素子への一対の接触を備える記憶素子の各々は、非常に高いビット密度が可能となるように、それ自体完全に垂直方向に一体化されている。実際、本発明の記憶装置は固体状態ダイナミック・ランダム・アクセス・メモリ(DRAM)において達成可能な

ものよりも大きなビット密度を提供する。このDRAMは揮発性であり、したがって本発明で達成可能な不揮発性が提供するさらなる利点を欠いている。本発明で達成可能なビット密度の増加は製造コストの相当する低減に転化される。これは、この一体化された回路形状のビット・当たりに占めるウェハの面積がより小さいためである。これは、電気的性能及び記憶保存容量の点だけではなくコストの点でも、本発明の記憶装置が広範囲の用途の他の利用可能な記憶装置と競合し、かつそれらを凌ぐことを可能にする。各ビット当たり少なくとも1つのトランジスタ及びコンデンサで形成された

従来の半導体記憶装置と比較することにより、図1に示されるような本発明の一体化回路形状は、同じフォトリソグラフィの解像度を用いて、従来の形状より高いビット密度でチップ上に形成することができる。より高いビット密度により得られるコスト面での利点に加えて、素子は互いに密接に配置されてリード長、静電容量、及び他の関連パラメータがさらに最小化され、それにより性能が高められる。

細孔寸法（直径、厚み及び体積）、カルコゲナイトの組成、熱調製（堆積後のアニール）、信号パルス持続時間、組成中に存在する酸素のような不純物、結晶体のサイズ及び信号パルスの波形形状のような因子が抵抗のダイナミックレンジの強度、この可変範囲の絶対的な終末抵抗値、及びこれらの抵抗値でその装置を設定するのに要する電圧に影響を及ぼすことが実験によって示されている。例えば、比較的厚いカルコゲナイト膜（すなわち、約4000Å）は高い設定電圧要求を生じる（したがって、特定体積の記憶材料中により高い電流密度が生じる）。これに対して、比較的薄いカルコゲナイト層（すなわち、約250Å）は低い設定電圧（及び電流密度）要求を生じる。もちろん、結晶体のサイズ、したがって、バルク原子に対する表面原子の数の比が重要である可能性は從来説明されている。

記憶素子を電気抵抗の可変範囲内の所望の抵抗レベルに設定するのに必要な信号パルスの持続時間も、信号電

流のレベルの他に、前述の因子の全てに同様に依存する。典型的には、信号パルスの持続時間は約250ナノ秒未満であり、好ましくは約50ナノ秒未満である。注目された25ナノ秒という短いパルス幅でさえ、用いられる半導体合金の厚み及び組成の他に、細孔のサイズ及び形状に依存することを強調しておく。パルスの持続時間は記憶装置の切り換えの動作を妨げることなく大きく減少させることができるものと信じられる。入力するエネルギーの量が少なければ素子のサイクルライフが増大することが実験により示唆されている。

所定の記憶素子の抵抗値を読み取り、必要であれば調整するフィードバックループを本発明の記憶システムに組込むことができる。例えば、記憶素子を最初に所定の抵抗値に設定することができるが、そのうちその素子の抵抗値がそれが元来設定された値から僅かにずれることがある。この場合、フィードバックループは計算を行い、記憶素子を予め選択された抵抗値に戻すのに必要な電圧及び持続時間のリフレッシュ信号パルスをその記憶素子に送る。また、記憶素子に送られた設定パルスがその素子を所望の抵抗値に設定し得ない状況も存在する。この場合、フィードバックループは、所望の抵抗レベルが達成されるまでその記憶素子にさらなる信号パルスを送る。この一連の設定／調節サイクルの総持続時間は約1,000ナノ秒未満、好ましくは約500ナノ秒未満である。

#### 抵抗対装置電流曲線の直線部分を上下に可逆的に移動

する能力を過剰に強調することはできない。選択された電流のパルスは、記憶素子を、それらの以前の設定条件に関わりなく所望の抵抗値に設定することができる。この曲線に沿って可逆的に移動する能力により、それ以前に保存されたデータの直接の上書きが得られる。このような直接の上書き能力は従来技術の相変化及びMSM(a-Si)記憶材料では不可能である。この中間抵抗値を可逆的に設定する能力は注目に値するものである。多くの連続する中程度電流パルスは同じ抵抗値を单一の中程度電流パルスが続くより大電流のパルス又は单一の中程度電流パルスが続くより小電流のパルスとして達成する。

抵抗の可変範囲も広いグレースケール及び多重レベルアナログ記憶保存を可能にする。多重レベル記憶保存は広い可変範囲を複数のサブレンジ又はレベルに分

割することにより達成される。連続する抵抗値のプログラム可能性は複数ビットのバイナリ情報を单一記憶セルに保存することを可能にする。この多重レベル保存は、複数ビットのバイナリ情報を擬似アナログ形態に模倣し、このアナログ情報を单一記憶セルに保存することにより達成される。したがって、抵抗の可変範囲を $2^n$ のアナログレベルに分割することにより、記憶セルの各々にはnビットのバイナリ情報を保存する能力が与えられる。

上に示されるように、図5はGe-Te-Sb半導体合金系の三元状態図である。その二元及び三元相が四角

(■)で示される、前に論じられている情報に加えて、他の合金の分離についての情報がこの状態図から得られる。これらの他の合金は三角(▲)、菱形(◆)及び円(●)で示され、溶融物から急速固化された際にこれらの合金が分離する相はそこから延びる線(実線又は破線)で示される。2種類のTeに富む溶融物の出発組成物は円記号でこの三元状態図上に示される。急速固化の際、これらの混合相は元素Teと相B、C及びDとに分離する。

菱形記号で示される擬似二元線の右側の組成を有する溶融物は、この状態図上に線で示される相に固化する。状態図に三角で示される他の混合物は、元素Ge及びSbと相Aとに固化する。本発明の改善された記憶素子における使用について特に関心のある合金はGe<sub>22</sub>Sb<sub>22</sub>Te<sub>56</sub>であり、これはGe<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>もしくは2-2-5とも呼ばれる。この2-2-5合金は、急速固化の際、図5の状態図に示される組成B(Ge<sub>26</sub>Sb<sub>18</sub>Te<sub>56</sub>)及びC(Ge<sub>18</sub>Sb<sub>26</sub>Te<sub>56</sub>)の2つの異なる相の混合物に相分離する。特に関心のある別の合金はGe<sub>14</sub>Sb<sub>29</sub>Te<sub>57</sub>(GeSb<sub>2</sub>Te<sub>4</sub>もしくは1-2-4とも呼ばれる)であり、これはGeTe-Sb<sub>2</sub>Te<sub>3</sub>擬似二元線上の組成Dである。この2-2-5及び1-2-4合金は、上に論じられる組成的に勾配が付けられた、積層された、又は勾配/積層を合わせた形態の特定体積の記憶材料の形成について関心があるものである。

図6はGe-Sb-Te系の3種類の三元合金の原子構造を二元合金Ge-T

e の原子構造と共に示す。これらの 3 種類の三元合金のうちの 2 種類は 1 - 2 - 4 (図 5 の三元状態図上の組成 D) 及び上述の 2 - 2 - 5 組成である。第 3 の三元合金は Ge<sub>8</sub> Sb<sub>33</sub> Te<sub>59</sub> であり、これは Ge Sb<sub>4</sub> Te<sub>7</sub> もしくは 1 - 4 - 7 とも呼ばれる。この 1 - 4 - 7 合金は図 5 の三元状態図上の組成 E に相当する。これらの合金の原子構造の図において、白抜きの円は Ge 原子を示し、斜線付きの円は Sb 原子を示し、点が打たれた円は Te 原子を示す。図 6 によって示されるように、これらの合金の各々の原子配置は、面心立方結晶構造では、秩序付けられ、繰り返される原子の層で形成される。この fcc 配置が、図 6 において A 、 B 及び C と表示される 3 種類の異なる型の層を形成する。

図 6 に示される 1 - 4 - 7 、 1 - 2 - 4 及び 2 - 2 - 5 合金は記憶材料のベースとして、また本発明の元素的に変性された記憶材料における使用について関心のあるものである。遷移金属は、 Se と共に、それが存在する場合には、 Te - Ge - Sb マトリックス全体にわたって比較的均一に組込まれ、電子／原子構造を強化してスイッチング電流要求を減少させ、かつデータ保持の熱安定性を高める。 Se がこの構造中で Te と置き換わり、遷移金属の正確な位置取りは不明であるものの遷移金属がカルコゲン元素と結合するように思われるこれが電流解析により示されている。

また、上述のように、 Ge - Sb - Te 合金材料を蒸発によって加熱基板上に堆積させる場合、この材料は異方性形態で堆積する。すなわち、この方式で堆積させる場合、この合金材料の結晶体は構成原子状元素の層が基板表面に対して実質的に平行に配列する方向付けられる。もちろん、これは異方性の電流の流れを生じるが、低抵抗方向の設定及び復元パルスを用い、それによりさらに低い設定及び復元電流、電圧及び／又はエネルギーを達成するようにこの材料の原子を配置する長期にわたる可能性を提供する。

図 7 は、窒化炭素チタン (titanium carbonitride) を含んでなる頂部隣接コンタクト層を有する記憶素子のサイクリング特性を示すデータのグラフである。この装置の抵抗値は縦軸に示され、サイクル数は横軸にプロットされている。低抵抗の状態 (設定状態) から高抵抗 (復元状態) の 1 つに到達するのに、高さ約 2

mA、幅約40n sの電気パルスがこの記憶装置に印加される。したがって、適当な高さ及び幅の一連のパルスを印加することにより、この装置は示されるようサイクルを繰り返すことが可能である。

図8は、窒化ケイ素チタン(titanium siliconitride)を含んでなる頂部隣接コンタクト層を有する記憶素子のサイクリング特性を示すデータのグラフである。低抵抗の状態(設定状態)から高抵抗(復元状態)の1つに到達するのに、高さ約2mA、幅約40n sの電気パルス

がこの記憶装置に印加される。低抵抗状態に戻るには、高さ約1mA、幅約100n sのパルスがこの装置に印加される。

図9は、本発明の記憶素子の多重状態能力(すなわち、抵抗の可変範囲内の複数の抵抗レベルのうちのいずれにも設定される記憶素子の能力)を示すデータのグラフである。示されるデータは窒化炭素チタンを含んでなる頂部隣接コンタクト層38を有する記憶装置のものである。このグラフは、この記憶装置を抵抗値が増大するようにプログラムすることにより作成される。これは、増大するプログラミング電流の40n sの電気パルスを印加することにより行われる。

図10は窒化炭素チタンを頂部隣接コンタクト層として有する記憶素子の平均設定及び復元抵抗値を示すデータのグラフである。この設定及び復元抵抗値は、4種類の異なる抵抗性を示す窒化炭素チタン層を用いて測定した。窒化炭素チタン化合物中の炭素のパーセンテージを増大させることにより抵抗が増加した。示されるように、設定抵抗値と復元抵抗値との差は窒化炭素チタンの抵抗に伴って増加する。

オボニックEEPROMのプログラミングに関連する閾スイッチング電圧が存在し、したがって、閾スイッチと同様に、オボニックEEPROMのプログラミング電圧がカルコグナイト合金の膜厚に対する依存性を示すであろうことが予想される。実際、オボニックEEPROMにおいて、閾スイッチング電圧はプログラミングイベントからの読み取りイベントの分離、読み取り異常の除去及びデータ読み取りの間の良好な動作マージン

の提供に役立つ。我々の装置は、印加電場が低い場合の直線抵抗特性と、それに続く閾電圧までの増大する電場での抵抗値の漸減を示す。ひとたび閾電圧を越える、この装置は高度に導電性の“ダイナミック・オン”状態への負の抵抗遷移を示す。印加電場が取り除かれると、この装置は不揮発性のプログラムされた抵抗状態に戻り、その値はその装置がダイナミック・オン状態における“記憶平衡時間(memory equilibration time)”の間に受けた電流／エネルギーの概要に依存する。閾電圧が装置の抵抗値に依存するにもかかわらず、その閾電圧での装置の電流はその装置の抵抗値の全てで比較的一定している。厚み、閾電圧の関係に対する直線近似は1未満の比例係数を示し、これは同じ名目上の厚みを有する装置における広い動作マージンに寄与している。

ここに開示される専有権のある材料及び装置を用いて、電気的に消去可能で直接上書き可能な記憶素子が開発されており、これはS R A M装置に迫る高速の読み取り及び書き込み速度；E E P R O Mの不揮発性かつランダム・アクセス再プログラミング可能性、及び他のあらゆる半導体記憶装置を大きく下回る記憶容量メガバイト当たりの価格を提供する。

ここに示される開示は本発明の十分かつ完全な開示を

作成する目的で説明される詳細な態様の形態で提示され、このような詳細は添付の請求の範囲に説明され、かつ定義される真の本発明の範囲を限定するものと解釈されるものではないことは理解されるであろう。

【図1】

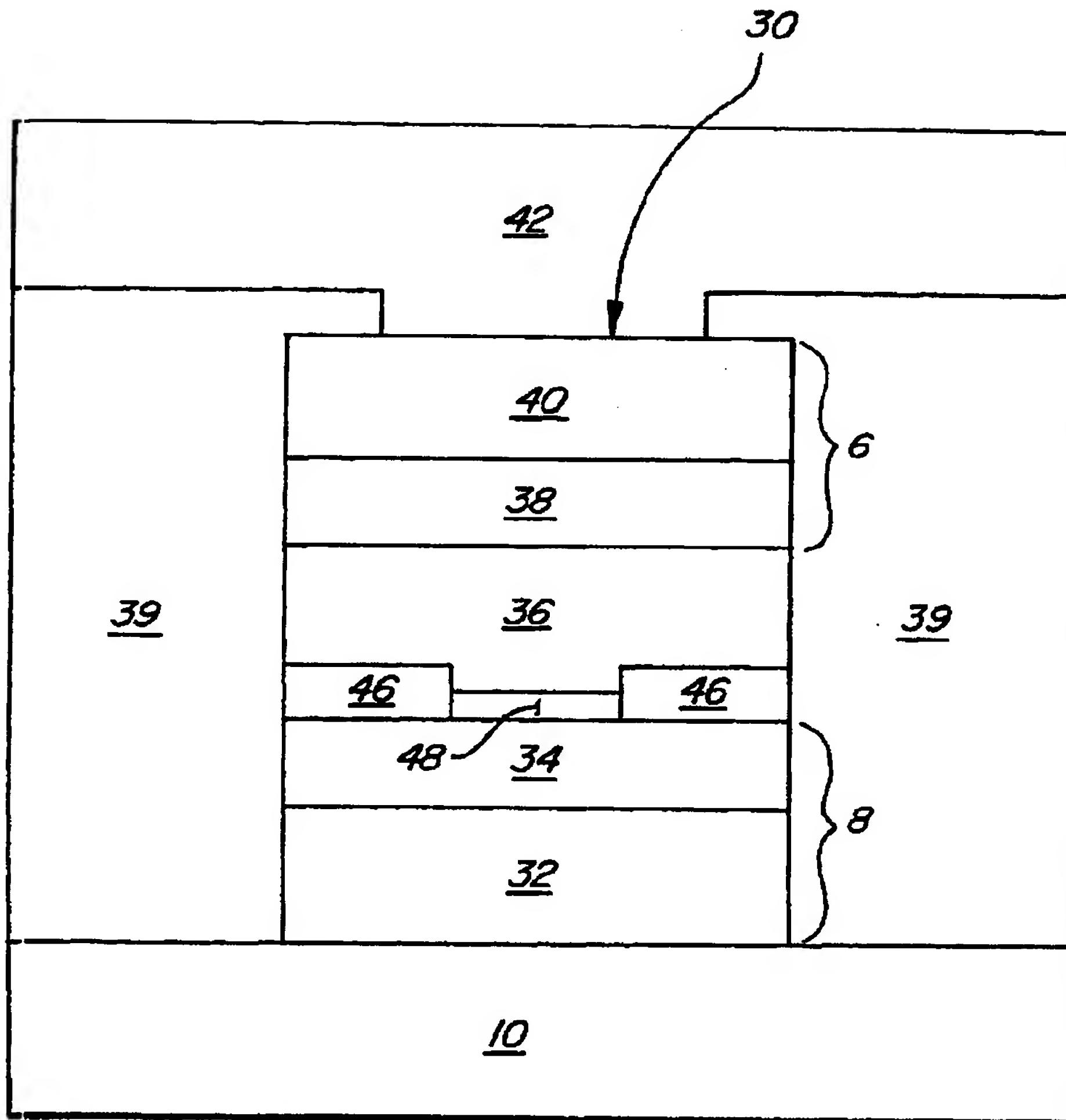


FIG - 1

【図2】

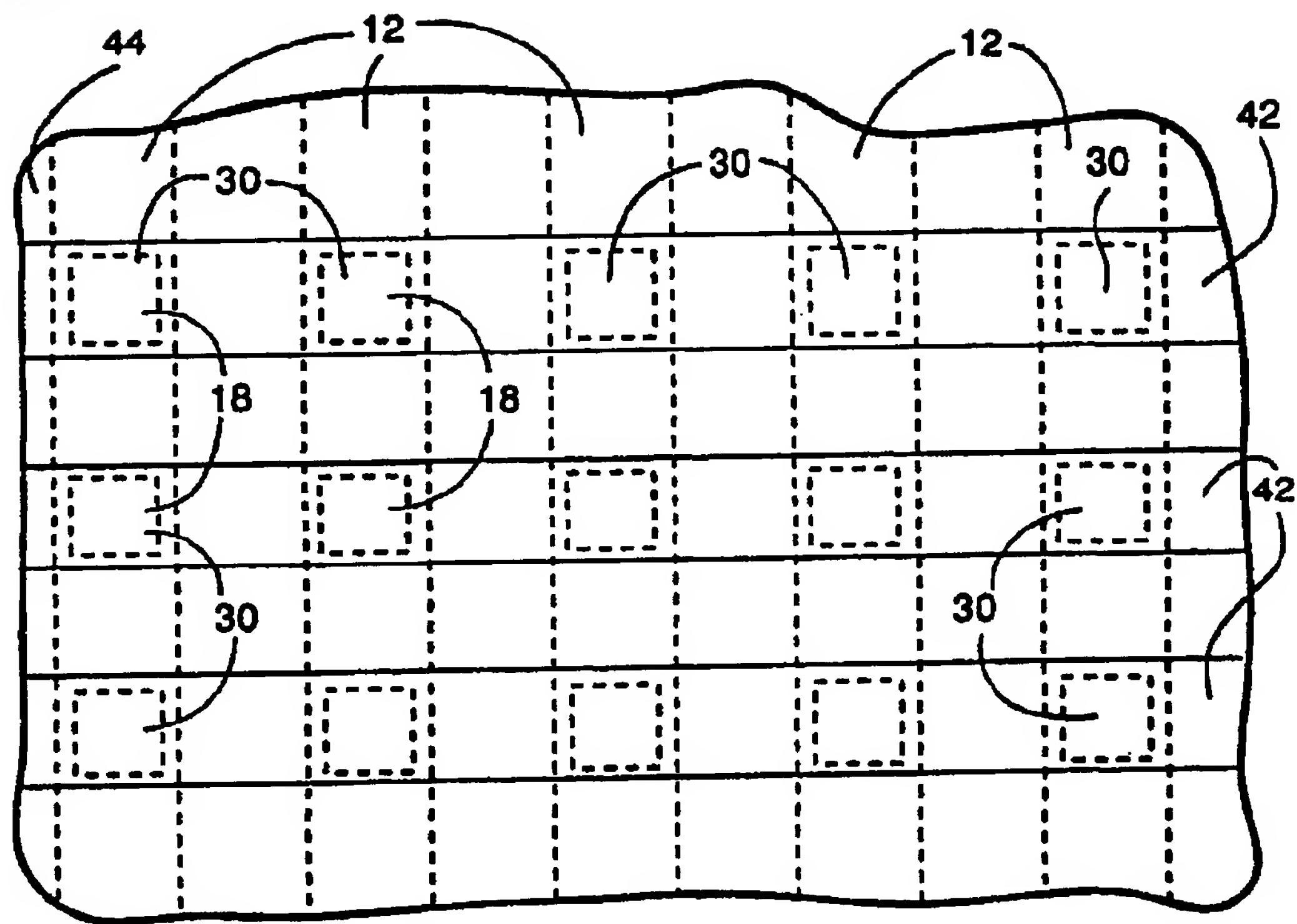
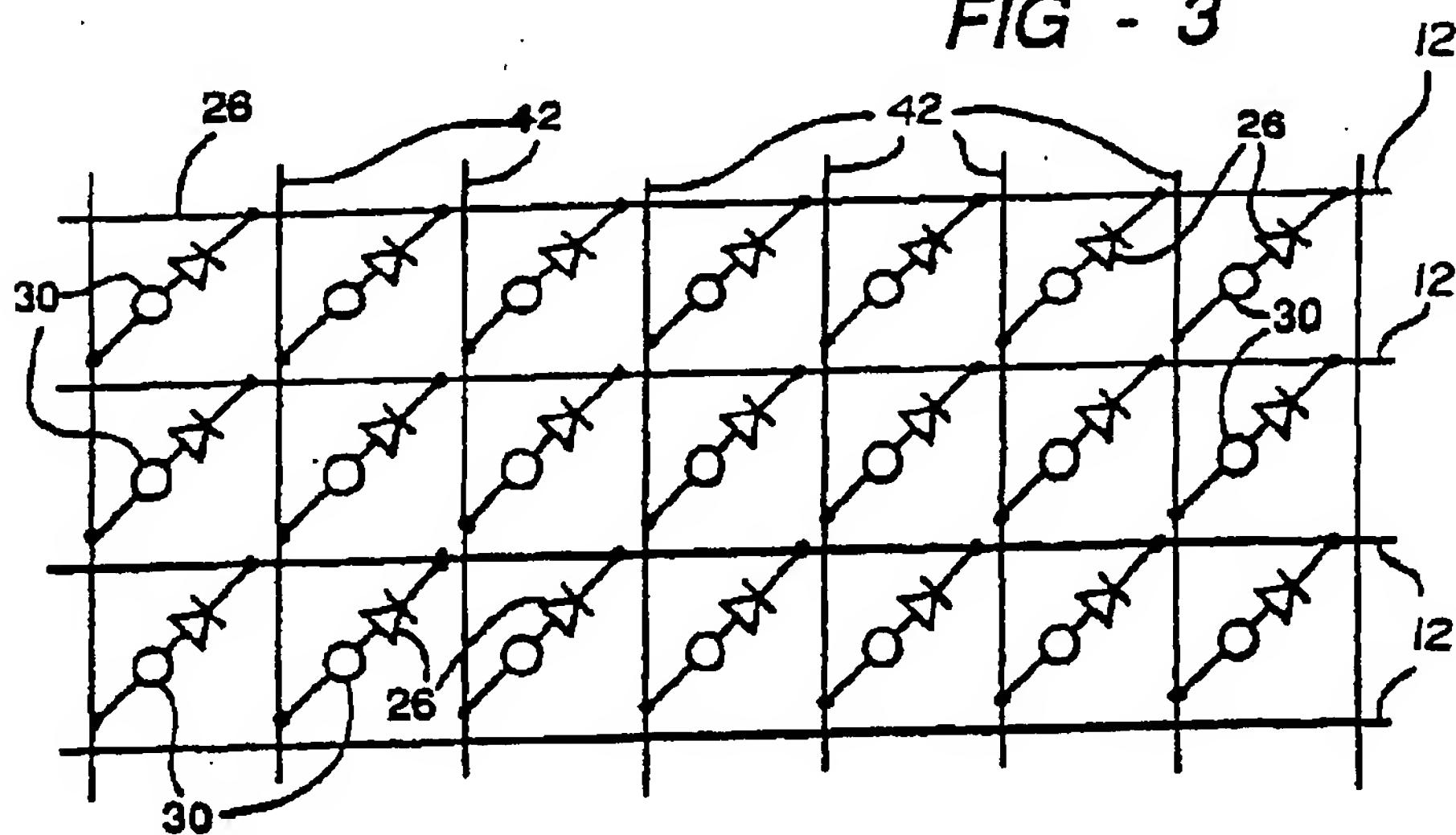


FIG - 2

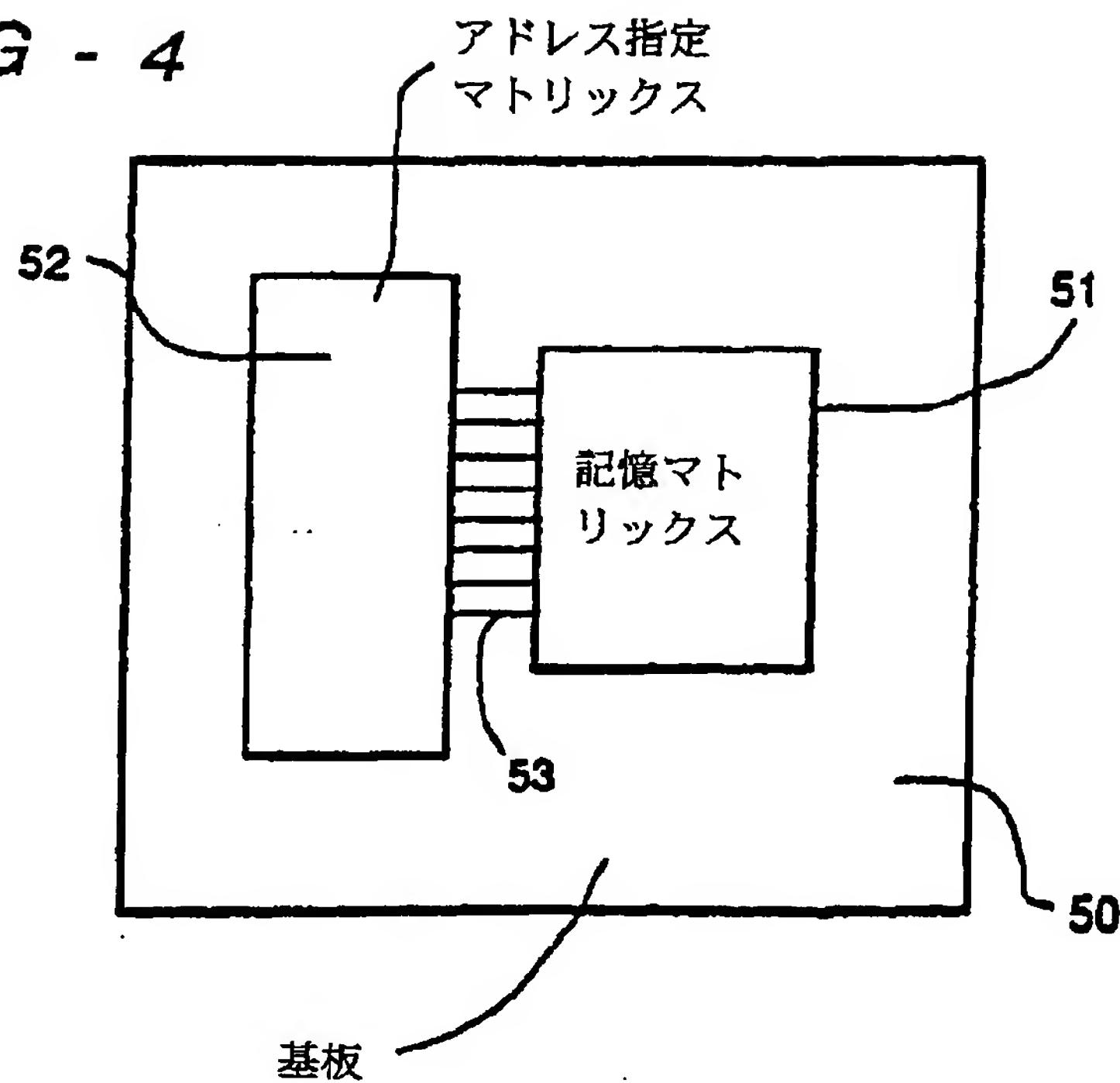
【図3】

FIG - 3



【図4】

FIG - 4



【図5】

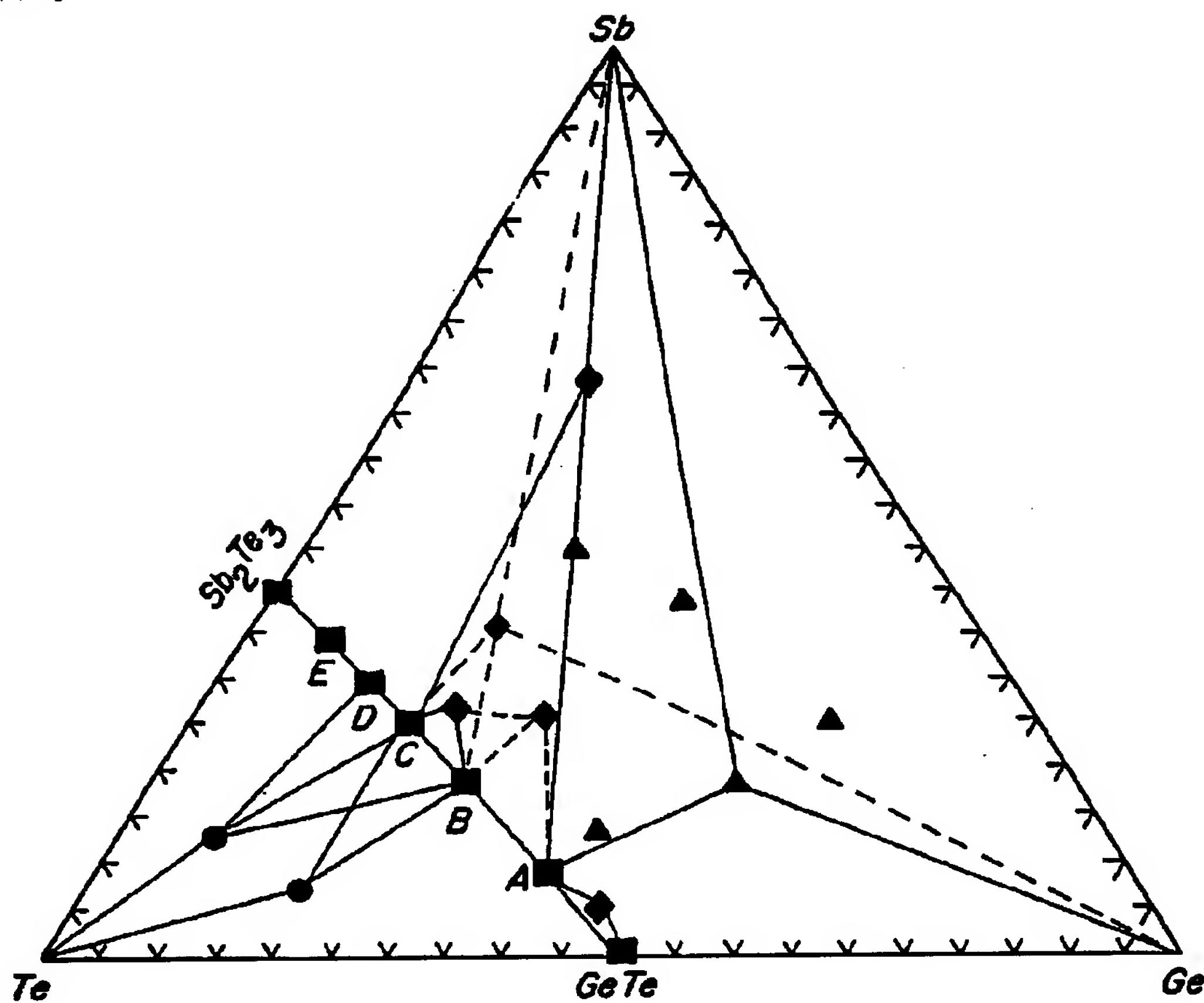
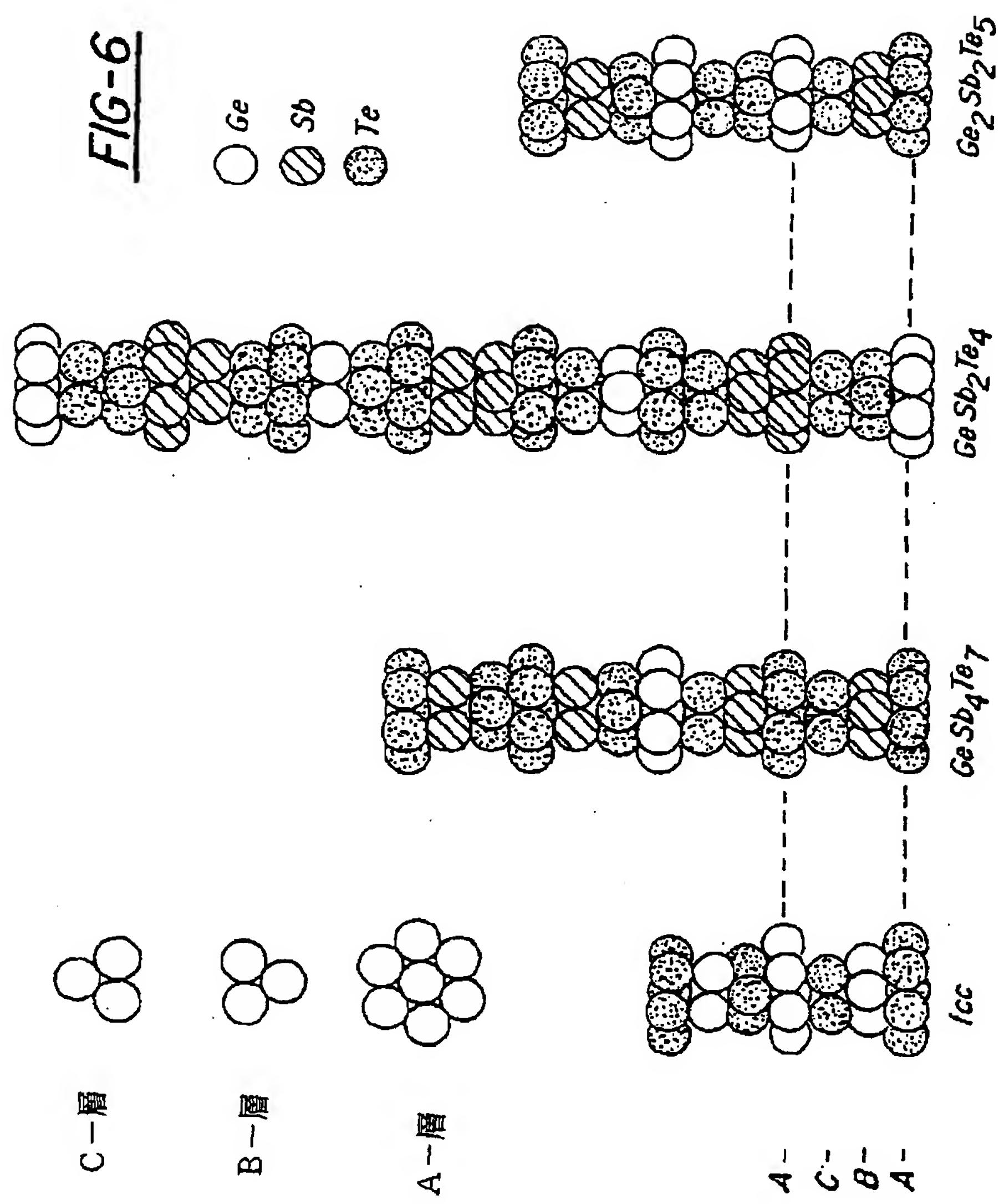
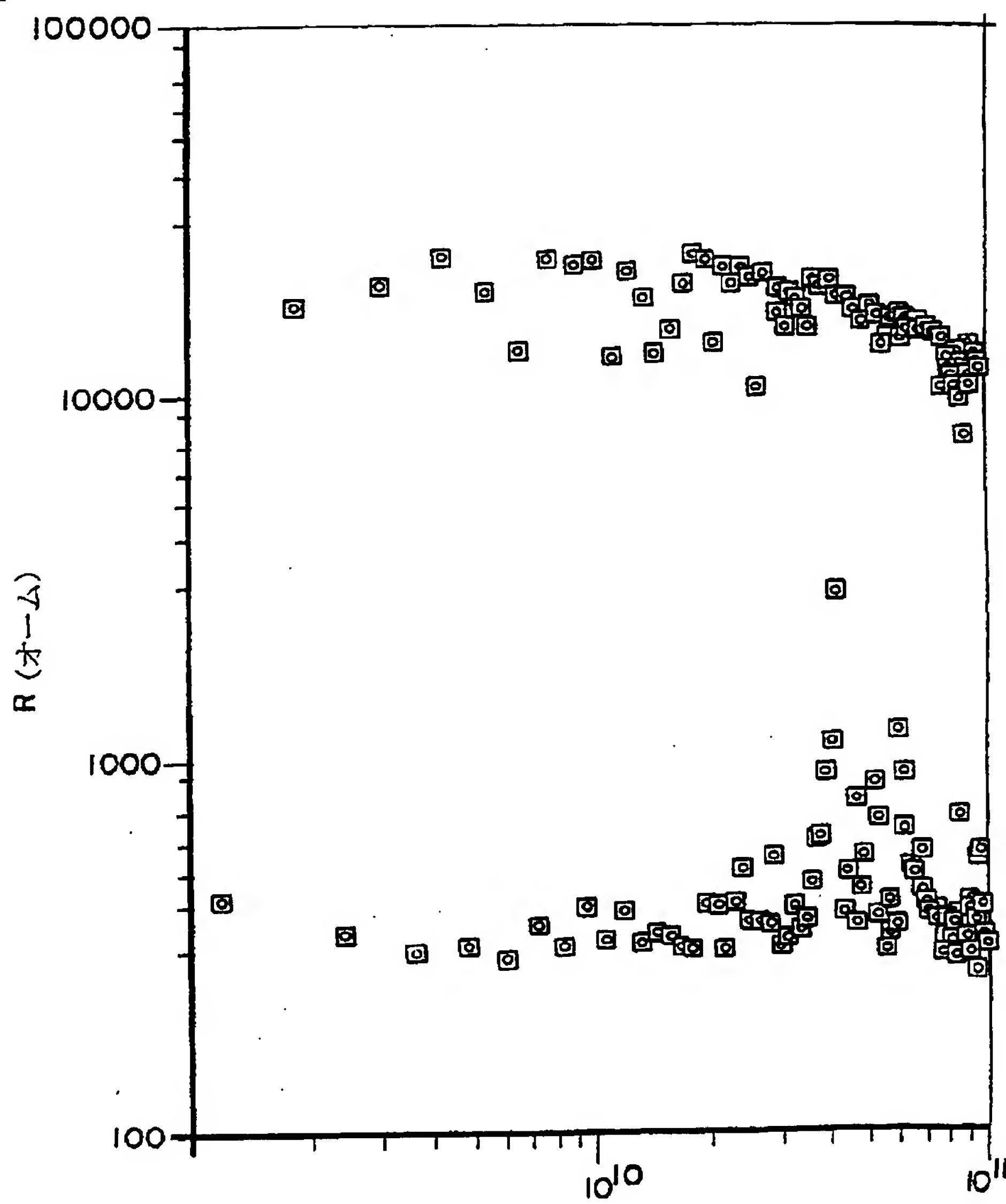


FIG - 5

【図6】

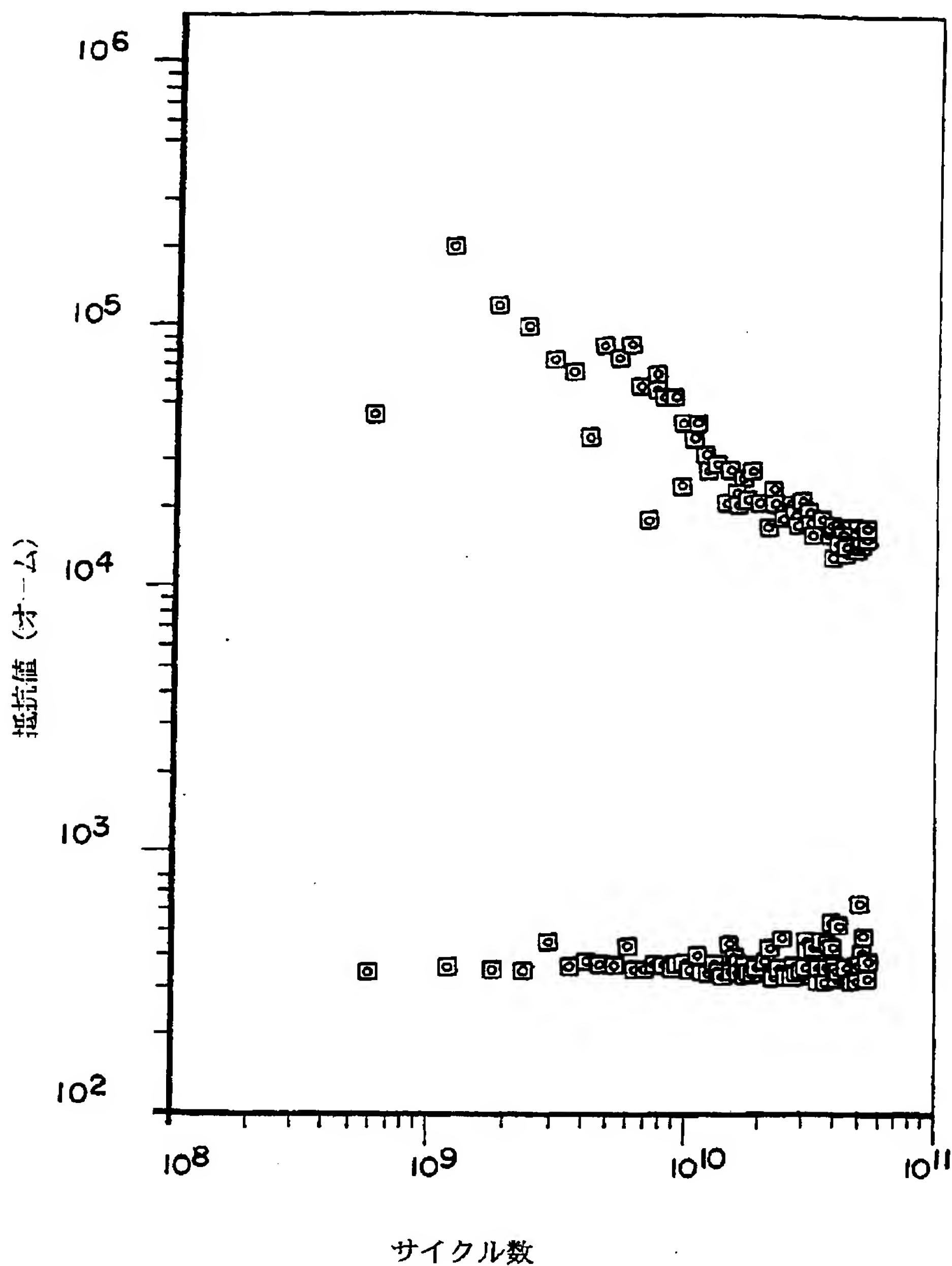


【図7】

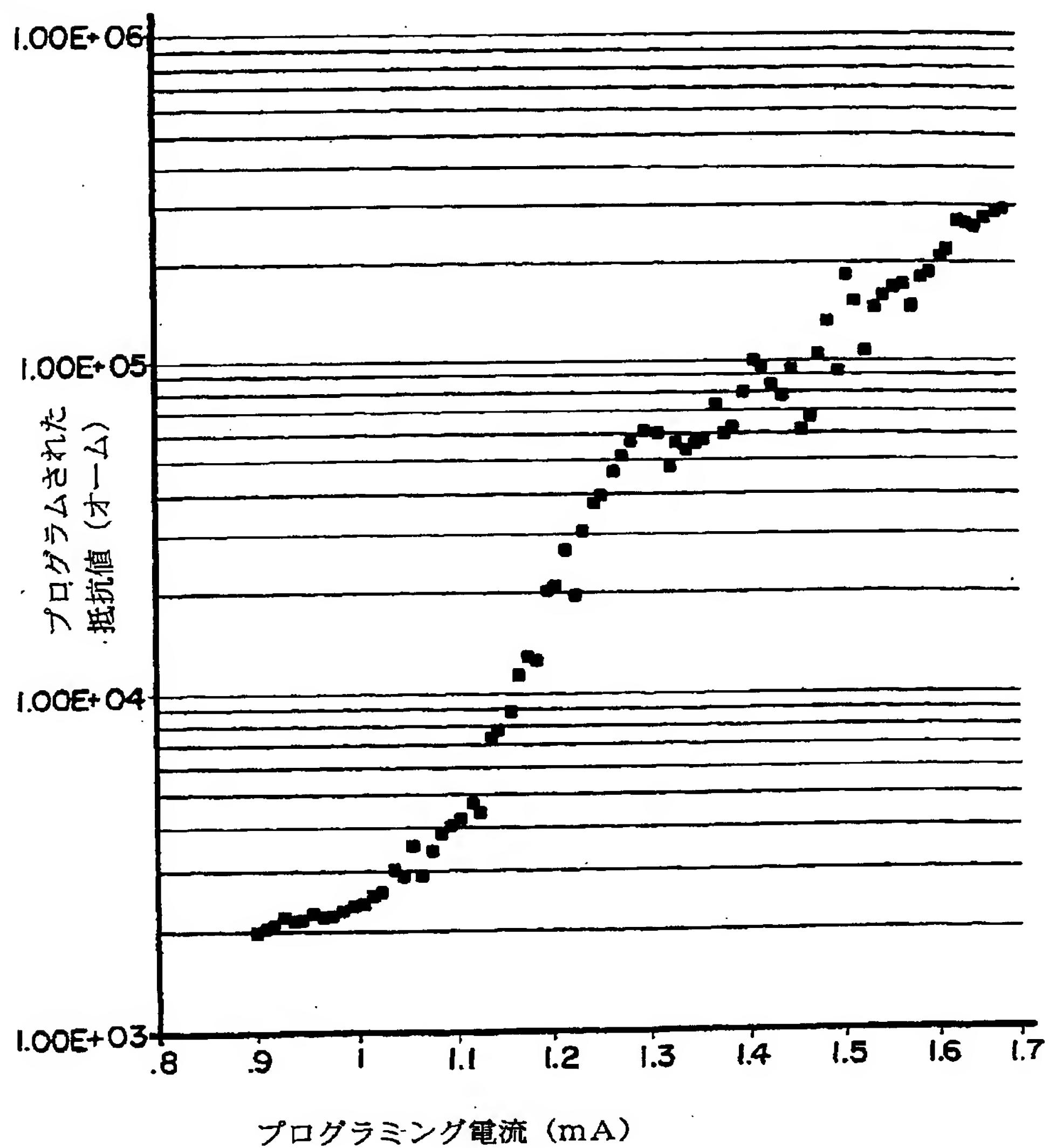
FIG-7

サイクル

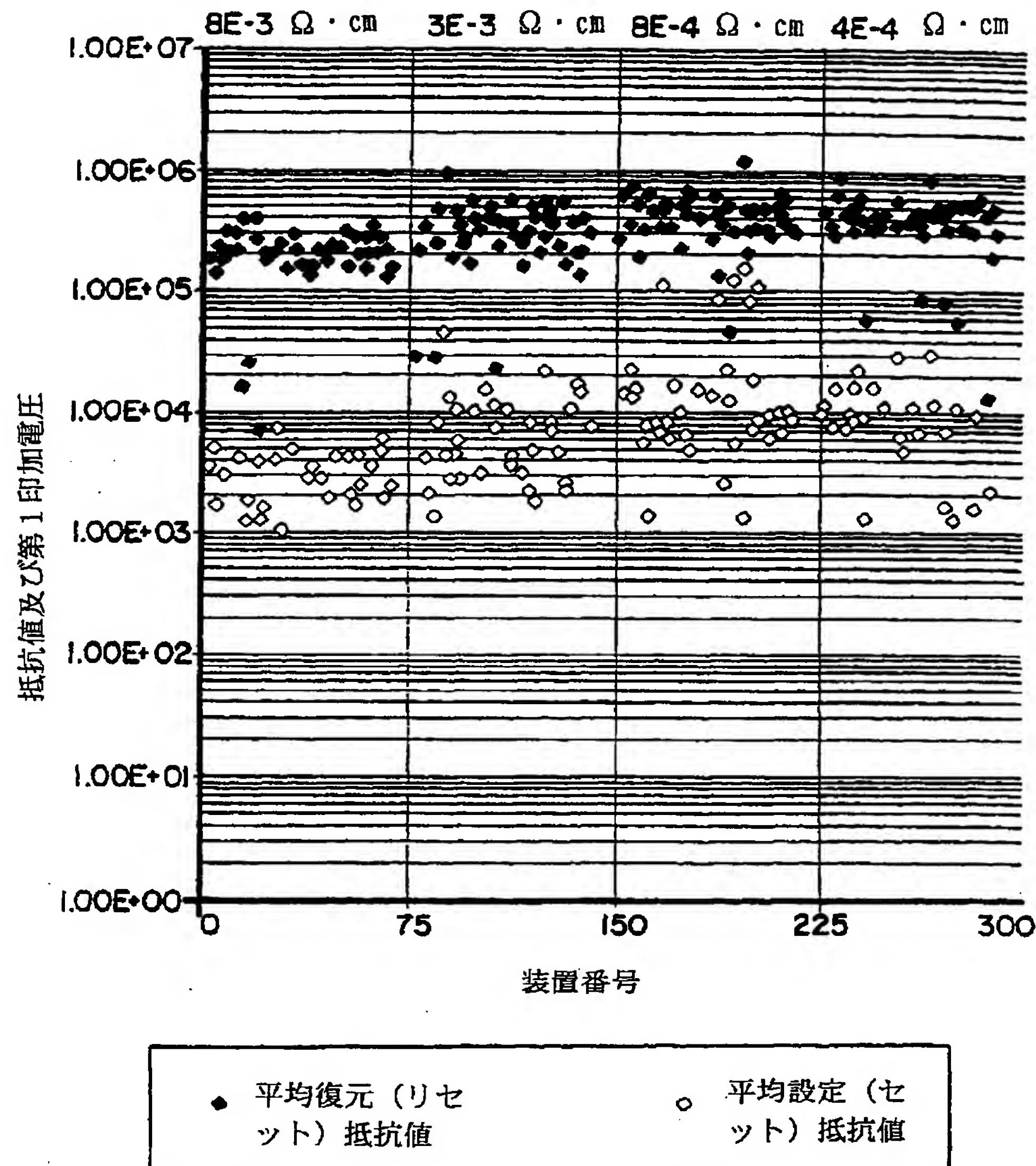
【図8】

FIG-8

【図9】

FIG-9

【図10】

FIG-10

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No. PCT/US96/12013
---

## A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : H01L 45/00

US CL : 257/2, 3, 5

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 257/2, 3, 4, 5

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

NONE

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

NONE

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, A, 5,406,509 [OVSHINSKY ET AL] 11 April 1995, see the entire document	1-20
A	US, A, 5,414,271 [OVSHINSKY ET AL] 09 May 1995, See the entire document	1-20

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search  
13 AUGUST 1996Date of mailing of the international search report  
27 AUG 1996Name and mailing address of the ISA/US  
Commissioner of Patents and Trademarks  
Box PCT  
Washington, D.C. 20231  
Facsimile No. (703) 305-3230Authorized officer  
WILLIAM D. LARKINS  
Telephone No. (703) 308-4941

フロントページの続き

(72)発明者 ストランド、デイヴィッド エイ  
アメリカ合衆国 48301 ミシガン州 オ  
ークランドカウンティ ブルームフィール  
ド タウンシップ ブライオリー レイン  
5611

(72)発明者 オヴシンスキー、スタンフォード アー  
ル  
アメリカ合衆国 48013 ミシガン州 ブ  
ルームフィールドヒルズ スカーレル ロ  
ード 2700